

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月30日

出 願 番 号

Application Number:

特願2002-221723

[ST.10/C]:

[JP2002-221723]

出 願 人

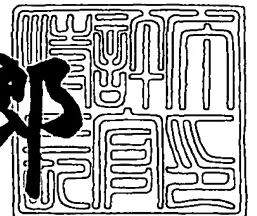
Applicant(s):

三菱電機株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039239

【書類名】 特許願

【整理番号】 540814JP01

【提出日】 平成14年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H02H 11/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 大井 健史

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 中山 靖

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 田中 毅

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力用半導体素子の駆動回路

【特許請求の範囲】

【請求項 1】 外部からオン指令又はオフ指令を入力すると、電力用半導体素子の開閉状態を制御する制御手段と、上記制御手段がオン指令を入力すると、予め設定された期間中、上記電力用半導体素子に対する上記制御手段の制御量を検出する制御量検出手段と、上記制御量検出手段により検出された制御量を監視して、上記電力用半導体素子における異常の発生を検知する異常検知手段とを備えた電力用半導体素子の駆動回路。

【請求項 2】 制御量検出手段は、制御手段の制御量として、電力用半導体素子の制御端子における制御電圧、あるいは、その制御端子に流れる制御電流、あるいは、その制御端子に供給される電荷量を検出することを特徴とする請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 3】 制御量検出手段は、制御手段がオン指令を入力した直後から、電力用半導体素子の制御端子における制御電圧が所定の電圧値に到達する前の過渡期間中、上記電力用半導体素子に対する上記制御手段の制御量を検出することを特徴とする請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 4】 制御量検出手段は、制御手段がオン指令を入力した後、一定時間が経過した時点から、電力用半導体素子の制御端子における制御電圧が所定の電圧値に到達する前の過渡期間中、上記電力用半導体素子に対する上記制御手段の制御量を検出することを特徴とする請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 5】 制御手段は、異常検知手段が異常の発生を検知すると、電力用半導体素子を閉状態に遷移させることを特徴とする請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 6】 制御手段は、異常発生の検知に伴って電力用半導体素子を閉状態に遷移させる場合、オフ指令の入力に伴って電力用半導体素子を閉状態に遷移させる場合よりも、上記電力用半導体素子を閉状態に遷移させる際の遮断速度を遅くすることを特徴とする請求項 5 記載の電力用半導体素子の駆動回路。

【請求項 7】 外部からオン指令又はオフ指令を入力すると、電力用半導体素子の開閉状態を制御する制御手段と、上記電力用半導体素子に対する上記制御手段の制御量を検出する制御量検出手段と、上記制御量検出手段により検出された制御量を監視して、上記電力用半導体素子における異常の発生を検知し、上記制御手段がオン指令を入力した後、予め設定された期間中に限り、その異常の発生の検知結果を有効にする異常検知手段とを備えた電力用半導体素子の駆動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、電力用半導体素子における異常の発生を検知する電力用半導体素子の駆動回路に関するものである。

【 0 0 0 2 】

【従来の技術】

図 2 4 は従来の電力用半導体素子の駆動回路を示す構成図であり、図において、1 は電力用半導体素子である I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r)、2 は外部からオン指令を入力すると、I G B T 1 を閉状態に遷移させるゲート指令をバッファ 3 に出力し、外部からオフ指令を入力すると、I G B T 1 を開状態に遷移させるゲート指令をバッファ 3 に出力する制御ロジック、3 は制御ロジック 2 から出力されたゲート指令にしたがって I G B T 1 を駆動するバッファ、4 a はオンゲート抵抗、4 b はオフゲート抵抗、5 はカソードが I G B T 1 のコレクタと接続され、アノードがコレクタ電圧検知回路 6 と接続されたダイオード、6 はダイオード 5 のアノード電圧が基準電圧より高くなると、異常信号を制御ロジック 2 に出力するコレクタ電圧検知回路である。

【 0 0 0 3 】

次に動作について説明する。

制御ロジック 2 は、外部からオン指令を入力すると、I G B T 1 を閉状態に遷移（以下、ターンオンという）させるゲート指令をバッファ 3 に出力する。

バッファ 3 は、制御ロジック 2 から I G B T 1 をターンオンさせるゲート指令を受けると、そのゲート指令を増幅し、増幅後のゲート指令をオンゲート抵抗 4 a を介して I G B T 1 のゲートに出力する。

これにより、I G B T 1 はターンオンする。

【 0 0 0 4 】

また、制御ロジック 2 は、外部からオフ指令を入力すると、I G B T 1 を開状態に遷移（以下、ターンオフという）させるゲート指令をバッファ 3 に出力する。

バッファ 3 は、制御ロジック 2 から I G B T 1 をターンオフさせるゲート指令を受けると、そのゲート指令を増幅し、増幅後のゲート指令をオフゲート抵抗 4 b を介して I G B T 1 のゲートに出力する。

これにより、I G B T 1 はターンオフする。

【 0 0 0 5 】

ここで、I G B T 1 はターンオンすると、I G B T 1 のコレクタ電圧が低下して、ダイオード 5 がオンする。これにより、ダイオード 5 のアノード電圧は、I G B T 1 のエミッタ電圧から見て、I G B T 1 のオン電圧 + ダイオード 5 のオン電圧になる。

また、I G B T 1 のコレクタ電流が大きくなると、I G B T 1 のコレクタ電圧も高くなり、それに伴ってダイオード 5 のアノード電圧も高くなる。

したがって、I G B T 1 のオン期間中に、ダイオード 5 のアノード電圧をモニタしていれば、例えば、短絡が発生して I G B T 1 に大電流が流れた場合、ダイオード 5 のアノード電圧が非常に高くなるので、短絡を検知することができる。

【 0 0 0 6 】

そこで、コレクタ電圧検知回路 6 は、ダイオード 5 のアノード電圧を監視し、そのアノード電圧が基準電圧より高くなると、異常信号を制御ロジック 2 に出力する。

制御ロジック 2 は、コレクタ電圧検知回路 6 から異常信号を受けると、大電流による I G B T 1 の破壊を防止するため、I G B T 1 をターンオフさせるゲート指令をバッファ 3 に出力して大電流の遮断動作を行う。

【0007】

【発明が解決しようとする課題】

従来の電力用半導体素子の駆動回路は以上のように構成されているので、耐圧の高い I G B T 1 に適用する場合、耐圧の高いダイオード 5 を多段に直列接続する必要が生じ、コスト高や信頼性の低下を招く課題があった。

また、耐圧の高い I G B T 1 では、ターンオン後、コレクターエミッタ間電圧が直ちに定常値（静特性で得られる値）に移行せず、ある程度の過渡期間を経て定常値に到達する（場合によっては、ターンオン後、 $10\mu\text{s}$ 以上経っても、未だコレクタ電圧が数十 V の電圧になっていることがある）。したがって、通常のターンオンと、短絡とを区別するためには、上記のような過渡期間をマスクする必要がある。このため、コレクタ電圧検知回路 6 による短絡検知が著しく遅れ、I G B T 1 を保護することができない場合がある課題があった。

【0008】

この発明は上記のような課題を解決するためになされたもので、耐圧の高い I G B T に適用する場合でも、速やかに短絡を検知して I G B T を保護することができる信頼性の高い電力用半導体素子の駆動回路を得ることを目的とする。

【0009】

【課題を解決するための手段】

この発明に係る電力用半導体素子の駆動回路は、制御手段がオン指令を入力すると、予め設定された期間中、電力用半導体素子に対する制御手段の制御量を検出する制御量検出手段を設け、その制御量検出手段により検出された制御量を監視して、その電力用半導体素子における異常の発生を検知するようにしたものである。

【0010】

この発明に係る電力用半導体素子の駆動回路は、制御手段の制御量として、電力用半導体素子の制御端子における制御電圧、あるいは、その制御端子に流れる制御電流、あるいは、その制御端子に供給される電荷量を検出するようにしたものである。

【0011】

この発明に係る電力用半導体素子の駆動回路は、制御手段がオン指令を入力した直後から、電力用半導体素子の制御端子における制御電圧が所定の電圧値に到達する前の過渡期間中、その電力用半導体素子に対する制御手段の制御量を検出するようにしたものである。

【 0 0 1 2 】

この発明に係る電力用半導体素子の駆動回路は、制御手段がオン指令を入力した後、一定時間が経過した時点から、電力用半導体素子の制御端子における制御電圧が所定の電圧値に到達する前の過渡期間中、その電力用半導体素子に対する制御手段の制御量を検出するようにしたものである。

【 0 0 1 3 】

この発明に係る電力用半導体素子の駆動回路は、異常検知手段が異常の発生を検知すると、電力用半導体素子を開状態に遷移させるようにしたものである。

【 0 0 1 4 】

この発明に係る電力用半導体素子の駆動回路は、異常発生の検知に伴って電力用半導体素子を開状態に遷移させる場合、オフ指令の入力に伴って電力用半導体素子を開状態に遷移させる場合よりも、その電力用半導体素子を開状態に遷移させる際の遮断速度を遅くするようにしたものである。

【 0 0 1 5 】

この発明に係る電力用半導体素子の駆動回路は、制御量検出手段により検出された制御量を監視して、電力用半導体素子における異常の発生を検知し、制御手段がオン指令を入力した後、予め設定された期間中に限り、その異常の発生の検知結果を有効にするようにしたものである。

【 0 0 1 6 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 はこの発明の実施の形態 1 による電力用半導体素子の駆動回路を示す構成図であり、図において、11 は電力用半導体素子である I G B T (I n s u l a t e d G a t e B i p o l a r T r a n s i s t o r) である。ただし、

電力用半導体素子は I G B T に限るものではなく、例えば、M O S F E T などの電圧駆動型半導体素子であってもよい。

【 0 0 1 7 】

1 2 は外部からオン指令を入力すると、I G B T 1 1 をターンオンさせるゲート指令をバッファ 1 3 に出力し、外部からオフ指令を入力すると、I G B T 1 1 をターンオフさせるゲート指令をバッファ 1 3 に出力する制御ロジック、1 3 は制御ロジック 1 2 から出力されたゲート指令にしたがって I G B T 1 1 を駆動するバッファ、1 4 a はオンゲート抵抗、1 5 は異常発生の検知に伴って I G B T 1 1 をターンオフさせる場合、オフ指令の入力に伴って I G B T 1 1 をターンオフさせる場合よりも、I G B T 1 1 をターンオフさせる際の遮断速度を遅くする遮断速度調整回路であり、遮断速度調整回路 1 5 はオフゲート抵抗を内蔵している。なお、制御ロジック 1 2、バッファ 1 3、オンゲート抵抗 1 4 a 及び遮断速度調整回路 1 5 から制御手段が構成されている。

【 0 0 1 8 】

1 6 は制御ロジック 1 2 が外部からオン指令を入力した直後から、I G B T 1 1 のゲート端子（制御端子）におけるゲート電圧 V_g （制御電圧）がオンゲート電圧に到達する前の過渡期間中に限り、ゲート電圧 V_g の検出処理を許可するサンプリング回路（制御量検出手段）、1 7 はサンプリング回路 1 6 がゲート電圧 V_g の検出処理を許可する期間中、I G B T 1 1 に対するバッファ 1 3 の制御量として、I G B T 1 1 のゲート端子におけるゲート電圧 V_g を検出し、そのゲート電圧 V_g が基準値を超えると、I G B T 1 1 における異常の発生を認定するゲート電圧検出回路（制御量検出手段、異常検知手段）である。

【 0 0 1 9 】

図 2 は図 1 の電力用半導体素子の駆動回路が適用されるハーフブリッジ回路を示す回路図であり、図において、1 1 a, 1 1 b は I G B T、2 1 は図 1 の電力用半導体素子の駆動回路、2 2 a, 2 2 b は I G B T 1 1 a, 1 1 b と逆並列に接続された還流ダイオード、2 3 は直流電源、2 4 は誘導負荷である。

ここでは、電力用半導体素子の駆動回路をハーフブリッジ回路に適用するものについて示しているが、これに限るものではなく、他の回路に適用するようにし

てもよいことは言うまでもない。

【0020】

次に動作について説明する。

まず、IGBT11bは、図2に示すように、ゲート-エミッタ間が短絡され、常時OFFであるとする。

一方、IGBT11aのゲート-エミッタ間には、電力用半導体素子の駆動回路21が接続され、オン指令やオフ指令に応じたゲート電圧が与えられるものとする。

【0021】

IGBT11aが正常時にターンオンすると、直流電源23から誘導負荷24を通してIGBT11aに電流が流れる。

IGBT11aがターンオフすると、直流電源23から出力される電流が遮断されるとともに、還流ダイオード22bがオンし、誘導負荷24と還流ダイオード22bから為る閉回路に還流電流が流れる。

IGBT11aが再びターンオンすると、還流ダイオード22bが逆バイアスされて還流電流を遮断し、誘導負荷24に流れる電流がIGBT11aに転流される。

【0022】

IGBT11aのオン期間中に還流ダイオード22bが何らかの要因により短絡すると、IGBT11aのコレクター-エミッタ間に直流電源23が直結された形になり、IGBT11aには大きな短絡電流が流れ、コレクター-エミッタ間電圧は直流電源23の電圧と同じになる。この状態が長く続くとIGBT11aは破壊に至る。

電力用半導体素子の駆動回路21は、このような短絡状態を高速に検知し、安全に遮断動作を行うことを目的としている。

【0023】

ここで、図3は正常時におけるターンオン時のゲート電圧 V_g 、コレクター-エミッタ間電圧 V_{ce} 及びコレクタ流 I_c の波形を示す説明図である。

正常時、駆動回路がオン指令を受けてターンオンを指示するゲート指令を出力

すると、IGBT11のゲート電圧 V_g が上昇を開始し、そのゲート電圧 V_g が所定の閾値を超えるとコレクタ電流 I_c が増加を開始する。

IGBT11が誘導負荷電流と同程度のコレクタ電流 I_c を流すようになると、コレクターエミッタ間電圧 V_{ce} が低下を開始し、ゲート電圧 V_g がほぼ一定電圧になる。この期間はミラー期間として知られている。

【0024】

ミラー期間中は、コレクターエミッタ間電圧 V_{ce} の変化に伴って、ゲートドライバからの電流がコレクターゲート間の帰還容量を介してコレクタ側にバイパスされるため、ゲート電圧 V_g は一定となる。帰還容量には電圧依存性があり、コレクタ電圧がオン電圧レベルまで低くなるとかなり大きな値になる。

ミラー期間が終了すると、ゲート電圧 V_g は再び上昇を開始するが、ミラー期間前に比べると、帰還容量が大きくなっているため、ゆっくりとした時定数で上昇して、所定のオンゲート電圧に到達する。ゲート電圧 V_g は以上のような過渡期間を経て、定常状態に達する。

【0025】

図4は短絡時におけるターンオン時のゲート電圧 V_g 、コレクターエミッタ間電圧 V_{ce} 及びコレクタ流 I_c の波形を示す説明図である。

ここでは、短絡状態として、図2における還流ダイオード22bの短絡を想定する。

このような短絡状態で、IGBT11がターンオンすると、IGBT11のコレクターエミッタ間には、直流電源電圧が直接印加され、大きな短絡電流が流れる。この短絡電流は、ゲートエミッタ間電圧 V_{ge} （ゲート電圧 V_g に相当する）でほぼ決まる飽和電流まで上昇する。このとき、IGBT11のコレクターエミッタ間には大きな電圧が印加され、かつ、大きな電流が流れているため、この状態が長く続くとIGBT11は破壊に至る。

【0026】

さて、このような短絡状態でのゲート電圧 V_g の波形は正常時と異なり、ミラー期間が存在せず、オンゲート電圧まで一気に上昇する。この理由は、このような短絡状態では、コレクターエミッタ間電圧 V_{ce} が高電圧状態のまま殆ど変化

せず、また、帰還容量が小さいままであるので、その充放電電流が殆ど流れないためである。

したがって、このように正常時と短絡時のゲート電圧 V_g の違いを検出すれば、短絡状態を検知することが可能である。また、同様の理由により、ターンオン時のゲート電流 I_g の波形や、制御電源から IGBT 11 のゲートに供給される電荷量も正常時と短絡時では異なっており、これらの違いを検出することでも短絡状態を検知することが可能である。

【 0 0 2 7 】

以下、図 1 の電力用半導体素子の駆動回路の動作を説明する。

まず、制御ロジック 12 は、外部からオン指令を入力すると、IGBT 11 をターンオンさせるゲート指令をバッファ 13 に出力する。

バッファ 13 は、制御ロジック 12 から IGBT 11 をターンオンさせるゲート指令を受けると、そのゲート指令を増幅し、増幅後のゲート指令をオンゲート抵抗 14 a を介して IGBT 11 のゲートに出力する。

これにより、IGBT 11 はターンオンする。

【 0 0 2 8 】

また、制御ロジック 12 は、外部からオフ指令を入力すると、IGBT 11 をターンオフさせるゲート指令をバッファ 13 に出力する。

バッファ 13 は、制御ロジック 12 から IGBT 11 をターンオフさせるゲート指令を受けると、そのゲート指令を増幅し、増幅後のゲート指令を遮断速度調整回路 15 を介して IGBT 11 のゲートに出力する。遮断速度調整回路 15 の動作は後述する。

これにより、IGBT 11 はターンオフする。

【 0 0 2 9 】

ターンオンの過渡期間中においては、上述したように、正常時と短絡時ではゲート電圧 V_g が異なるが、ある程度の時間が経過すると、正常時であっても、短絡時であっても、ゲート電圧 V_g が同一のオンゲート電圧に到達し、ゲート電圧 V_g を監視しても IGBT 11 の異常を検知することができない。

そこで、サンプリング回路 16 は、ゲート電圧検出回路 17 におけるゲート電

圧 V_g の検出期間を制限する。

【0030】

即ち、サンプリング回路 16 は、図 5 に示すように、制御ロジック 12 が外部からオン指令を入力すると、オン指令の入力時刻 t_0 からゲート電圧検出回路 17 に対してゲート電圧 V_g の検出処理を許可する。

サンプリング回路 16 は、その後、時間が経過して時刻 t_1 （時刻 t_1 はゲート電圧 V_g がオンゲート電圧に到達する前の時刻であり、時刻 t_1 は IGBT 11 の特性が考慮されて設定される）になると、ゲート電圧検出回路 17 に対してゲート電圧 V_g の検出処理を不許可にする。

なお、サンプリング回路 16 は、時刻 t_1 から時刻 t_2 の期間の検出を防止できればよく、オフ期間（時刻 t_0 より前の期間、または、時刻 t_2 より後の期間）が検出期間に含まれていてもよい。

【0031】

ゲート電圧検出回路 17 は、サンプリング回路 16 がゲート電圧 V_g の検出処理を許可する期間中、IGBT 11 のゲート端子におけるゲート電圧 V_g を検出する。

ゲート電圧検出回路 17 は、その検出期間において、そのゲート電圧 V_g が基準値を超えると、IGBT 11 における異常の発生を認定して異常信号を制御ロジック 12 及び遮断速度調整回路 15 に出力する。

【0032】

制御ロジック 12 は、ゲート電圧検出回路 17 から異常信号を受けると、大電流による IGBT 11 の破壊を防止するため、IGBT 11 をターンオフさせるゲート指令をバッファ 13 に出力する。

バッファ 13 は、制御ロジック 12 から IGBT 11 をターンオフさせるゲート指令を受けると、そのゲート指令を増幅し、増幅後のゲート指令を遮断速度調整回路 15 に出力する。

【0033】

遮断速度調整回路 15 は、バッファ 13 から増幅後のゲート指令を受けると、そのゲート指令にしたがって IGBT 11 をターンオフさせるが、短絡状態では

大電流が流れており、このような大電流を通常で遮断すると、大きなサージ電圧が発生して IGBT11 を破壊するおそれがあるので、正常時にターンオフさせる場合よりも、遮断速度が遅くなるようにして、サージ電圧を抑制する。

ただし、サージ電圧が発生させる主回路配線インダクタンスが十分小さい場合や、外部にサージ電圧を抑制するスナバ回路等が設置されている場合、遮断速度調整回路 15 は必ずしも必要ではない。

【0034】

以上で明らかなように、この実施の形態 1 によれば、制御ロジック 12 が外部からオン指令を入力した直後から、IGBT11 のゲート電圧 V_g がオンゲート電圧に到達する前の過渡期間中に限り、そのゲート電圧 V_g の検出処理を許可するサンプリング回路 16 を設け、サンプリング回路 16 がゲート電圧 V_g の検出処理を許可する期間中、そのゲート電圧 V_g を検出して、そのゲート電圧 V_g が基準値を超えると、IGBT11 における異常の発生を認定するように構成したので、IGBT11 の耐圧が高い場合でも、速やかに短絡を検知して IGBT11 を保護することができる効果を奏する。

【0035】

なお、この実施の形態 1 では、ゲート電圧検出回路 17 が異常信号を出力すると、制御ロジック 12 が IGBT11 をターンオフさせるゲート指令を出力するものについて示したが、外部の図示せぬ制御回路がゲート電圧検出回路 17 から異常信号を受けたとき、IGBT11 をターンオフさせるようにしてもよい。

【0036】

また、この実施の形態 1 では、制御ロジック 12 が外部からオン指令を入力した直後から、IGBT11 のゲート電圧 V_g がオンゲート電圧に到達する前の過渡期間中に限り、そのゲート電圧 V_g の検出処理を許可するものについて示したが、制御ロジック 12 が外部からオン指令を入力した直後から、IGBT11 のゲート電圧 V_g がオンゲート電圧に到達する前の過渡期間中に限り、ゲート電圧検出回路 17 から制御ロジック 12 に出力される異常信号を有効にするようにしてもよい。

【0037】

実施の形態 2.

図 6 はこの発明の実施の形態 2 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 1 と同一符号は同一または相当部分を示すので説明を省略する。なお、図 6 は図 1 におけるサンプリング回路 1 6 及びゲート電圧検出回路 1 7 の具体例を示している。ただし、遮断速度調整回路 1 5 は省略され、バッファ 1 3 はオン時に IGBT 1 1 のゲートと制御電圧 V_{cc} を出力する制御電源とを接続し、オフ時に IGBT 1 1 のゲートとグランドとを接続する。

【 0 0 3 8 】

3 1 は制御ロジック 1 2 から出力されるゲート指令を入力し、そのゲート指令を時刻 t_1 - 時刻 t_0 の期間に相当する時間だけ保持してから出力する遅延回路であり、遅延回路 3 1 としては、CR フィルタとバッファ又はコンパレータとの組み合わせや、ディレイラインなどがある。3 2 はゲート電圧 V_g の検出期間中に限り Nch-MOSFET 3 3 をオフ状態にするため、遅延回路 3 1 から出力されたゲート指令の論理を反転するインバータ、3 3 はインバータ 3 2 の出力信号にしたがってオンオフする Nch-MOSFET である。ただし、インバータ 3 2 の出力信号にしたがってオンオフするスイッチであれば、必ずしも Nch-MOSFET である必要はなく、例えば、バイポーラトランジスタなどのスイッチでもよい。

【 0 0 3 9 】

3 4, 3 5 は IGBT 1 1 のゲート電圧 V_g を分圧し、その分圧電圧をコンパレータ 3 8 に与える分圧抵抗、3 6, 3 7 は制御電圧 V_{cc} を分圧して、その分圧電圧（基準値）をコンパレータ 3 8 に与える分圧抵抗である。なお、分圧抵抗 3 4 ~ 3 7 はゲート電圧 V_g が制御電圧 V_{cc} のレベルになると、ゲート電圧 V_g の分圧電圧が基準値を幾分超えるように設定されている。分圧に使用する抵抗は、図 6 に示すように 2 直列の構成でもよいし、3 直列以上の構成であってもよい。また、抵抗分圧方式ではなく、ツェナーダイオードと抵抗との直列接続構成であってもよい。また、コンパレータ 3 8 の電源電圧が制御電圧 V_{cc} よりも高い場合には、ゲート電圧 V_g と制御電圧 V_{cc} を直接入力してもよい。

3 8 はゲート電圧 V_g の分圧電圧と基準値を比較するコンパレータ、3 9 は抵

抗である。

【 0 0 4 0 】

次に動作について説明する。

まず、サンプリング回路 1 6 の遅延回路 3 1 は、制御ロジック 1 2 が外部からオン指令を入力して、IGBT 1 1 をターンオンさせるゲート指令を出力すると、ゲート電圧 V_g の検出期間の終わりを時刻 t_1 に設定するため、時刻 t_1 - 時刻 t_0 の期間に相当する時間だけゲート指令を保持して出力する。

インバータ 3 2 は、遅延回路 3 1 からゲート指令を受けると、そのゲート指令の論理を反転して Nch-MOSFET 3 3 のゲートに出力する。

【 0 0 4 1 】

これにより、Nch-MOSFET 3 3 のゲートの信号レベルは、図 7 に示すように、時刻 t_1 に至る前の時点、即ち、インバータ 3 2 から論理反転後のゲート指令を受ける前の時点では L レベルであるため、Nch-MOSFET 3 3 はオフ状態になる。しかし、時刻 t_1 の時点、即ち、インバータ 3 2 から論理反転後のゲート指令を受けた時点では H レベルになるため、Nch-MOSFET 3 3 はオン状態になる。

【 0 0 4 2 】

ゲート電圧検出回路 1 7 の分圧抵抗 3 4, 3 5 は、IGBT 1 1 のゲート電圧 V_g を分圧し、その分圧電圧をコンパレータ 3 8 に与え、分圧抵抗 3 6, 3 7 は制御電圧 V_{cc} を分圧して、その分圧電圧（基準値）をコンパレータ 3 8 に与える。

ただし、Nch-MOSFET 3 3 は、上述したように、時刻 t_1 に至る前の時点ではオフ状態であるため、分圧抵抗 3 4, 3 5 によるゲート電圧 V_g の分圧電圧がコンパレータ 3 8 に与えられるが、時刻 t_1 になるとオン状態になるため、その分圧電圧が Nch-MOSFET 3 3 のオン電圧まで低下する。これにより、ゲート電圧 V_g が制御電圧 V_{cc} のレベルに到達しても、コンパレータ 3 8 から異常信号を示すレベルの信号が出力されることがなくなり、正常時におけるコンパレータ 3 8 の動作が禁止される。

【 0 0 4 3 】

なお、短絡時には、Nch-MOSFET 33 がオン状態になる前に、ゲート電圧 V_g が制御電圧 V_{cc} のレベルに到達し、ゲート電圧 V_g の分圧電圧が基準値を幾分超えるため、コンパレータ 38 が異常信号を示すレベルの信号を制御ロジック 12 に出力する。

これにより、制御ロジック 12 が上記実施の形態 1 と同様に、IGBT 11 をターンオフさせる。

この実施の形態 2 によれば、構成の複雑化を招くことなく、IGBT 11 の耐圧が高い場合でも、速やかに短絡を検知して IGBT 11 を保護することができる効果を奏する。

【0044】

実施の形態 3.

図 8 はこの発明の実施の形態 3 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 6 と同一符号は同一または相当部分を示すので説明を省略する。

40 は分圧抵抗 35 と並列に接続されたコンデンサである。

【0045】

以下、コンデンサ 40 の作用について説明する。

図 9 はコンデンサ 40 が接続されていない場合のゲート電圧検出信号（分圧抵抗 34, 35 によるゲート電圧 V_g の分圧電圧）と、コンデンサ 40 が接続された場合のゲート電圧検出信号を示す説明図である。

コンデンサ 40 が接続されていない場合のゲート電圧検出信号の波形は、抵抗分圧波形であるため、ゲート電圧 V_g の波形と相似である。

【0046】

図 2 のようなハーフブリッジ回路で IGBT 11a がターンオンすると、ダイオード 22b のリカバリ電流がコレクタ電流に重畳し、コレクタ電流 I_c の波形に電流ピークが現れる（図 3 を参照）。これに伴って、ゲート電圧 V_g にも電圧ピークが現れる。さらに、この期間はコレクタ電流 I_c の時間変化が大きく、誘導電圧がゲート電圧 V_g に重畳する場合がある。このゲート電圧 V_g のピークが大きくなると、ゲート電圧検出回路 17 のコンパレータ 38 が正常時にゲート電

圧 V_g のピーク電圧によって動作して、異常信号を出力するおそれがある。このような事態は、ターンオン時のダイオード22bのリカバリ電圧や誘導電圧によるゲート電圧変動をマスクすることにより回避することができる。

【0047】

この実施の形態3では、上記の事態を回避するため、分圧抵抗35と並列にコンデンサ40を接続している。

分圧抵抗35と並列にコンデンサ40を接続すると、コンパレータ38の入力段の応答速度が遅くなるため、図9に示すように、ターンオン時のゲート電圧 V_g の変動がマスクされる。また、図9に示すように、ゲート電圧検出信号の波形がなまって、定常状態に達する時刻が遅れるため、ゲート電圧 V_g の検出期間を時刻 t_1 から t_3 に伸ばすこともできる。

この実施の形態3によれば、正常時におけるゲート電圧検出回路17の誤動作を防止することができるため、電力用半導体素子の駆動回路の信頼性を高めることができる。

【0048】

実施の形態4.

図10はこの発明の実施の形態4による電力用半導体素子の駆動回路を示す構成図であり、図において、図6と同一符号は同一または相当部分を示すので説明を省略する。

41は制御ロジック12から出力されるゲート指令を入力し、そのゲート指令を時刻 t_4 - 時刻 t_0 の期間に相当する時間だけ保持してから出力する遅延回路、42は遅延回路41から出力されたゲート指令の論理を反転するインバータ、43は時刻 t_4 から時刻 t_1 の期間に限り、Nch-MOSFET33をオフ状態にするNAND回路である。

【0049】

上記実施の形態2では、制御ロジック12がオン指令を入力した直後の時点 t_0 から、ゲート電圧 V_g の検出処理を許可するものについて示したが、ゲート電圧 V_g の検出期間からターンオン直後の一定期間（時刻 t_0 から時刻 t_4 の期間）を除外するようにしてもよい。

【 0 0 5 0 】

サンプリング回路 1 6 の遅延回路 3 1 は、制御ロジック 1 2 が外部からオン指令を入力して、I G B T 1 1 をターンオンさせるゲート指令を出力すると、図 1 1 に示すように、ゲート電圧 V_g の検出期間の終わりを時刻 t_1 に設定するため、時刻 t_1 - 時刻 t_0 の期間に相当する時間だけゲート指令を保持してから N A N D 回路 4 3 に出力する。

一方、サンプリング回路 1 6 の遅延回路 4 1 は、制御ロジック 1 2 から I G B T 1 1 をターンオンさせるゲート指令を受けると、ターンオン時のリカバリ期間の終了後にゲート電圧 V_g の検出期間が始まるようにするため、即ち、ゲート電圧 V_g の検出期間の始まりを時刻 t_4 に設定するため、そのゲート指令を時刻 t_4 - 時刻 t_0 の期間に相当する時間だけ保持してから出力する。

【 0 0 5 1 】

インバータ 4 2 は、遅延回路 4 1 からゲート指令を受けると、そのゲート指令の論理を反転して N A N D 回路 4 3 に出力する。

N A N D 回路 4 3 は、上記のようにして、遅延回路 3 1 及びインバータ 4 2 から信号を受けると、図 1 1 に示すように、時刻 t_4 から時刻 t_1 の期間に限り、N c h - M O S F E T 3 3 をオフ状態にする論理信号を N c h - M O S F E T 3 3 のゲートに出力する。

【 0 0 5 2 】

これにより、N c h - M O S F E T 3 3 は、時刻 t_4 から時刻 t_1 の期間に限りオフ状態になる。

以下、上記実施の形態 2 と同様であるため説明を省略する。

この実施の形態 4 によれば、正常時におけるゲート電圧検出回路 1 7 の誤動作を防止することができるため、電力用半導体素子の駆動回路の信頼性を高めることができる。

【 0 0 5 3 】

なお、この実施の形態 4 では、遅延回路 4 1 が制御ロジック 1 2 から I G B T 1 1 をターンオンさせるゲート指令を入力するものについて示したが、バッファ 1 3 がインバータ構成になっている場合は、バッファ 1 3 からの信号を遅延回路

4 1 が入力するようにしてもよい。この場合、インバータ 4 2 は不要になる。また、上記実施の形態 3 と同様に、分圧抵抗 3 5 と並列にコンデンサ 4 0 を接続するようにしてもよい。

【 0 0 5 4 】

実施の形態 5.

図 1 2 はこの発明の実施の形態 5 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 6 と同一符号は同一または相当部分を示すので説明を省略する。

4 4 はコンパレータ 3 8 の出力信号と遅延回路 3 1 の出力信号との論理積を求める AND 回路である。

【 0 0 5 5 】

次に動作について説明する。

サンプリング回路 1 6 の遅延回路 3 1 は、上記実施の形態 2 と同様に、ゲート電圧 V_g の検出期間の終了時刻 t_1 に出力信号の信号レベルが H レベルから L レベルに反転するような遅延時間が設定されている（図 1 3 を参照）。

ゲート電圧検出回路 1 7 のコンパレータ 3 8 は、上記実施の形態 2 と同様に、ゲート電圧 V_g の分圧電圧と制御電圧 V_{cc} の分圧電圧とを比較し、ゲート電圧 V_g が制御電圧 V_{cc} のレベルに到達すると、出力信号の信号レベルが L レベルから H レベルに反転するように構成されている（図 1 3 を参照）。

【 0 0 5 6 】

AND 回路 4 4 は、コンパレータ 3 8 の出力信号と遅延回路 3 1 の出力信号を入力して論理積を求めるが、図 1 3 に示すように、正常時の場合、コンパレータ 3 8 の出力信号が H レベルになるのは、時刻 t_1 で遅延回路 3 1 の出力信号が L レベルになった後なので、AND 回路 4 4 の出力信号は L レベルを維持する。

一方、短絡時の場合、遅延回路 3 1 の出力信号が L レベルになる前にコンパレータ 3 8 の出力信号が H レベルになるので、AND 回路 4 4 の出力信号が H レベルになる（異常の検知を示す論理レベルになる）。

【 0 0 5 7 】

以下、上記実施の形態 2 と同様であるため説明を省略する。

この実施の形態 5 によれば、正常時におけるゲート電圧検出回路 17 の誤動作を防止することができるため、電力用半導体素子の駆動回路の信頼性を高めることができる。

なお、上記実施の形態 4 と同様に、ターンオン直後のリカバリ期間をゲート電圧 V_g の検出期間から除外するようにしてもよい。

【0058】

実施の形態 6.

図 14 はこの発明の実施の形態 6 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 6 と同一符号は同一または相当部分を示すので説明を省略する。

45 はカソードが IGBT 11 のゲート端子と接続され、ゲート電圧 V_g が制御電圧 V_{cc} と近くなると降伏するツェナーダイオード、46 は一端がツェナーダイオード 45 のアノードと接続され、他端が Nch-MOSFET 33 のドレインと接続された抵抗、47 はベースがツェナーダイオード 45 のアノードと接続され、エミッタが Nch-MOSFET 33 のドレインと接続されたトランジスタ、48 は一端が制御電源に接続され、他端がトランジスタ 47 のコレクタと接続された抵抗、49 は一端がトランジスタ 47 のコレクタと接続され、他端がグランドと接続されたコンデンサである。

【0059】

次に動作について説明する。

ゲート電圧検出回路 17 は、サンプリング回路 16 の Nch-MOSFET 33 がオン状態になると動作する。

ゲート電圧検出回路 17 のツェナーダイオード 45 は、ゲート電圧 V_g が制御電圧 V_{cc} と近くなると降伏するツェナー電圧のものが使用され、Nch-MOSFET 33 がオン状態の期間中にゲート電圧 V_g が制御電圧 V_{cc} のレベルに到達すると、ツェナーダイオード 45 が降伏する。

【0060】

これにより、抵抗 46 の両端に電圧が発生してトランジスタ 47 がオンするため、コンデンサ 49 が放電状態になり、制御ロジック 12 に対するゲート電圧検

出回路 17 の出力信号は L レベルになる。

したがって、Nch-MOSFET 33 がオン状態の間中は、ゲート電圧 V_g の検出期間となる。このため、サンプリング回路 16 は、検出期間の終了時に Nch-MOSFET 33 をオフ状態にしなければならないので、制御ロジック 12 からの入力が入記実施の形態 2 と同様にオン時に L レベルになるとすると、遅延回路 31 が検出期間の終了時に L レベルの信号を Nch-MOSFET 33 のゲートに出力する。

この実施の形態 6 によれば、上記実施の形態 2 のようなインバータ 32 を設けることなく、IGBT 11 の短絡保護を行うことができる。

【0061】

実施の形態 7.

図 15 はこの発明の実施の形態 7 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 6 と同一符号は同一または相当部分を示すので説明を省略する。

50a は制御ロジック 12 から出力されるゲート指令にしたがってオンオフする Pch-MOSFET、50b は制御ロジック 12 から出力されるゲート指令にしたがってオンオフする Nch-MOSFET である。ただし、50a、50b が必ずしも MOSFET である必要はなく、例えば、バイポーラトランジスタを用いてもよい。51 はオフゲート抵抗、52 は Nch-MOSFET、53 はゲート電圧検出回路 17 の出力信号にしたがって Nch-MOSFET 52 をオンオフさせるインバータである。

【0062】

次に上記実施の形態 2 との相違点について説明する。即ち、正常時のオフ動作とゲート電圧検出回路 17 が短絡を検知した場合のオフ動作について説明する。

まず、正常時、インバータ 53 の出力信号は H レベルになっており、制御ロジック 12 からのゲート指令 (IGBT 11 をターンオフさせるゲート指令) にしたがって Nch-MOSFET 50b がオンするとほぼ同時に Nch-MOSFET 52 もオンする。このとき、実質的なオフゲート抵抗の抵抗値は、オフゲート抵抗 14b、51 の並列接続値となる。

【 0 0 6 3 】

次に短絡を検知した場合、ゲート電圧検出回路 1 7 が動作し、インバータ 5 3 の出力信号が L レベルになって、N c h - M O S F E T 5 2 がオフする。このとき、オフゲート抵抗は、オフゲート抵抗 1 4 b のみとなるので、正常時と比べて遅い速度で遮断することができる。

この実施の形態 7 によれば、短絡検知時には、遮断速度調整回路 1 5 によって正常時よりも遅い速度で遮断してサージ電圧を抑制することができる。

【 0 0 6 4 】

実施の形態 8.

図 1 6 はこの発明の実施の形態 8 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 1 と同一符号は同一または相当部分を示すので説明を省略する。

1 8 はサンプリング回路 1 6 がゲート電流 I_g の検出処理を許可する期間中、I G B T 1 1 に対するバッファ 1 3 の制御量として、I G B T 1 1 のゲート端子に流れるゲート電流 I_g を検出し、そのゲート電流 I_g が基準値以下になると、I G B T 1 1 における異常の発生を認定するゲート電流検出回路（制御量検出手段、異常検知手段）である。

【 0 0 6 5 】

上記実施の形態 1 では、I G B T 1 1 に対するバッファ 1 3 の制御量として、I G B T 1 1 のゲート端子におけるゲート電圧 V_g を検出するものについて示したが、I G B T 1 1 のゲート端子に流れるゲート電流 I_g を検出することにより短絡を検知するようにしてもよい。

【 0 0 6 6 】

図 1 7 は正常時におけるターンオン時のゲート電圧 V_g 及びゲート I_g の波形を示す説明図であり、図 1 8 は短絡時におけるターンオン時のゲート電圧 V_g 及びゲート I_g の波形を示す説明図である。

上記実施の形態 1 で説明したように、正常時には、ターンオン時にミラー期間が現れ、ゲート電圧 V_g は一定となる。このときゲート電流 I_g は、図 1 7 に示すようにほぼ一定となり、ミラー期間終了後、徐々に減少する。

一方、短絡時には、図 1 8 に示すようにミラー期間がなく、ゲート電圧 V_g は早い立ち上りで制御電圧 V_{cc} に到達する。ゲート電流 I_g は、同様にターンオン直後急速に立ち上った後、すぐ減衰する。即ち、短絡時には、ゲート電流 I_g がすぐ減衰してゼロになるのに対し、正常時にはミラー期間中一定となった後、ゼロになるので、この違いを検出すれば短絡検知が可能になる。

【 0 0 6 7 】

そこで、この実施の形態 8 では、ゲート電流検出回路 1 8 がサンプリング回路 1 6 により検出処理が許可された期間中、 I_{GBT11} のゲート端子に流れるゲート電流 I_g を検出し、そのゲート電流 I_g が基準値以下になれば、異常信号を制御ロジック 1 2 に出力する。

【 0 0 6 8 】

この実施の形態 8 においては、サンプリング回路 1 6 は、ゲート電流 I_g の検出期間を制限するものであるが、図 1 7 及び図 1 8 に示すように、制御ロジック 1 2 が時刻 t_0 でオン指令を入力すると、時刻 t_0 でゲート電流 I_g の検出処理の開始を指示する。

そして、サンプリング回路 1 6 は、正常時のゲート電流 I_g がゼロレベルまで低下する前の時刻である t_1 で、ゲート電流 I_g の検出処理の終了を指示する。

この実施の形態 8 によれば、上記実施の形態 1 と同様に、 I_{GBT11} の耐圧が高い場合でも、速やかに短絡を検知して I_{GBT11} を保護することができる効果を奏する。

【 0 0 6 9 】

実施の形態 9.

図 1 9 はこの発明の実施の形態 9 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 1 0 と同一符号は同一または相当部分を示すので説明を省略する。なお、図 1 9 は図 1 8 におけるサンプリング回路 1 6 及びゲート電流検出回路 1 8 の具体例を示している。ただし、遮断速度調整回路 1 5 は省略されている。

5 4 は時刻 t_0 から時刻 t_1 の期間に限り、ゲート電流検出回路 1 8 から出力される異常信号を有効にする AND 回路、5 5 はコンパレータ 3 8 の出力信号の

論理を反転するインバータ、56はインバータ55の出力信号とAND回路54の出力信号との論理積を求めるAND回路である。

【0070】

次に動作について説明する。

オンゲート抵抗14aのバッファ13側の電圧は、分圧抵抗34、35により分圧されてコンパレータ38の入力ピンaに入力され、オンゲート抵抗14aのIGBT11側の電圧は、分圧抵抗36、37により分圧されてコンパレータ38の入力ピンbに入力される。

ターンオン時にゲート電流 I_g がゲート抵抗14aを流れると、コンパレータ38の入力ピンaの電位が入力ピンbの電位よりも高くなり、コンパレータ38の出力信号はHレベルになる。一方、ゲート電流 I_g がゼロレベルになって、入力ピンaと入力ピンbの電位が同電位レベルになると、コンパレータ38の出力信号はLレベルになる。

【0071】

コンパレータ38の出力信号はインバータ55により論理が反転され、インバータ55の出力信号がAND回路56に入力される。サンプリング回路16の構成は図10とほぼ同様であるが、NAND回路43がAND回路54に変更されており、ゲート電流 I_g の検出期間中（図17、18の時刻 t_0 から t_1 の間）のみ、パルス状のHレベルの信号を出力するように構成されている。

【0072】

サンプリング回路16は、正常時では時刻 t_0 から時刻 t_1 まで、Hレベルの信号をAND回路56に出力するが、ゲート電流 I_g は時刻 t_1 でもまだ流れており、コンパレータ38はHレベルの信号を出力しているので、インバータ55よりAND回路56にはLレベルの信号が出力される。したがって、AND回路56はLレベルの信号を出力する。

一方、短絡時では、時刻 t_1 の前にゲート電流 I_g がゼロレベルになり、コンパレータ38はLレベルの信号を出力するので、AND回路56にはHレベルの信号が出力され、AND回路56はHレベルの信号を出力する（Hレベルの信号は異常の検知を示す信号）。

この実施の形態 9 によれば、正常時におけるゲート電流検出回路 1 8 の誤動作を防止することができるため、電力用半導体素子の駆動回路の信頼性を高めることができる。

【 0 0 7 3 】

実施の形態 1 0.

図 2 0 はこの発明の実施の形態 1 0 による電力用半導体素子の駆動回路を示す構成図であり、図において、図 1 と同一符号は同一または相当部分を示すので説明を省略する。

1 9 はサンプリング回路 1 6 がゲート電荷量の検出処理を許可する期間中、I G B T 1 1 に対するバッファ 1 3 の制御量として、I G B T 1 1 のゲート端子に供給されるゲート電荷量を検出し、そのゲート電荷量が基準値より低い場合、I G B T 1 1 における異常の発生を認定するゲート電荷検出回路（制御量検出手段、異常検知手段）であり、ゲート電荷検出回路 1 9 はゲート電流 I_g を積分する積分回路と、その積分値を基準値と比較する比較回路とから構成されている。

【 0 0 7 4 】

上記実施の形態 1 では、I G B T 1 1 に対するバッファ 1 3 の制御量として、I G B T 1 1 のゲート端子におけるゲート電圧 V_g を検出するものについて示したが、I G B T 1 1 のゲート端子に供給されるゲート電荷量を検出することにより短絡を検知するようにしてもよい。

【 0 0 7 5 】

図 2 1 は正常時におけるターンオン時のゲート電圧 V_g 、ゲート電流 I_g 及びゲート電流積分値（電荷量）の波形を示す説明図であり、図 2 2 は短絡時におけるターンオン時のゲート電圧 V_g 、ゲート電流 I_g 及びゲート電流積分値（電荷量）の波形を示す説明図である。

上記実施の形態 1 で説明したように、正常時には、ターンオン時にミラー期間が現れ、ミラー期間中はコレクターエミッタ間電圧 V_{ce} が低下するとともに帰還容量が大きくなり、制御電源から多くの電荷が I G B T 1 1 に供給され、ゲート電流 I_g の積分値は V_1 に到達する。

一方、短絡時には、ミラー期間がなく、制御電源から供給される電荷量は小さ

いので、ゲート電流 I_g の積分値は V_2 となり、正常時の積分値 V_1 よりも小さい。

したがって、積分値の違いを検出すれば短絡検知が可能になる。

【 0 0 7 6 】

そこで、この実施の形態 10 では、ゲート電荷検出回路 19 がサンプリング回路 16 により検出処理が許可された期間中、IGBT 11 のゲート端子に供給されるゲート電流 I_g の積分値（電荷量）を検出し、そのゲート電流 I_g の積分値が基準値以下であれば、異常信号を制御ロジック 12 に出力するようにする。

【 0 0 7 7 】

具体的には、サンプリング回路 16 が、図 21 及び図 22 に示すように、正常時のゲート電流 I_g の積分値が基準値を超える時刻以降、即ち、時刻 t_5 以降に、ゲート電荷検出回路 19 がゲート電流 I_g の積分値を確定するように指示する。

ゲート電荷検出回路 19 の積分回路は、ゲート電流 I_g の積分処理を実施し、サンプリング回路 16 から時刻 t_5 以降に積分値確定指令を受けると、それまでの積分結果を確定積分値として出力する。なお、積分回路は、次のターンオン時までに当該積分値をリセットするためのリセット回路を備えている。

【 0 0 7 8 】

ゲート電荷検出回路 19 の比較回路は、積分回路から出力された積分値と基準値を比較し、その積分値が基準値よりも低い場合、異常信号を制御ロジック 12 に出力する。

なお、基準値は、予め積分値 V_1 と積分値 V_2 の間の値に設定されているものとする。

この実施の形態 10 によれば、上記実施の形態 1 と同様に、IGBT 11 の耐圧が高い場合でも、速やかに短絡を検知して IGBT 11 を保護することができる効果を奏する。

【 0 0 7 9 】

実施の形態 11.

図 23 はこの発明の実施の形態 11 による電力用半導体素子の駆動回路を示す

構成図であり、図において、図 1 9 と同一符号は同一または相当部分を示すので説明を省略する。なお、図 2 3 は図 2 0 におけるサンプリング回路 1 6 及びゲート電荷検出回路 1 9 の具体例を示している。ただし、遮断速度調整回路 1 5 は省略されている。

5 7 は抵抗、5 8 はコンデンサである。なお、抵抗 5 7 とコンデンサ 5 8 から構成される C R 回路がゲート電流 I_g を積分する。5 9 は分圧抵抗 3 4, 3 5 による分圧電圧と分圧抵抗 3 6, 3 7 による分圧電圧とを入力し、双方の分圧電圧の差分を増幅する差動増幅器、6 0, 6 1 は制御電圧 V_{cc} を分圧し、その分圧電圧（基準電圧）をコンパレータ 3 8 に出力する分圧抵抗である。

【0080】

次に動作について説明する。

サンプリング回路 1 6 は、正常時のゲート電流 I_g の積分値が基準値を超える時刻 t_5 以降に、ゲート電荷検出回路 1 9 がゲート電流 I_g の積分値を確定するようにするため、時刻 t_5 を過ぎると H レベルの信号を AND 回路 5 6 に出力する。ただし、I G B T 1 1 の破壊を防止するため、時刻 t_5 を過ぎると直ちに H レベルの信号を出力する。

【0081】

正常時では、時刻 t_5 以降、差分増幅器 5 9 からコンパレータ 3 8 の基準電圧（分圧抵抗 6 0, 6 1 から出力される基準電圧）を超える電圧が出力されるので、コンパレータ 3 8 の出力信号は H レベルになり、インバータ 5 5 から L レベルの信号が AND 回路 5 6 に出力される。

したがって、正常時では、AND 回路 5 6 は L レベルの信号を出力する。

【0082】

一方、短絡時では、時刻 t_5 以降においても、差分増幅器 5 9 から出力される電圧はコンパレータ 3 8 の基準電圧を超えないので、コンパレータ 3 8 の出力信号は L レベルになり、インバータ 5 5 から H レベルの信号が AND 回路 5 6 に出力される。

したがって、短絡時では、AND 回路 5 6 は H レベルの信号を出力する（H レベルの信号は異常の検知を示す信号）。

【 0 0 8 3 】

この実施の形態 1 1 によれば、正常時におけるゲート電荷検出回路 1 9 の誤動作を防止することができるため、電力用半導体素子の駆動回路の信頼性を高めることができる。

なお、この実施の形態 1 1 では、抵抗 5 7 とコンデンサ 5 8 から構成される C R 回路がゲート電流 I_g を積分するものについて示したが、これに限るものではなく、例えば、O P アンプによる積分回路を用いてもよい。

【 0 0 8 4 】

【発明の効果】

以上のように、この発明によれば、制御手段がオン指令を入力すると、予め設定された期間中、電力用半導体素子に対する制御手段の制御量を検出する制御量検出手段を設け、その制御量検出手段により検出された制御量を監視して、その電力用半導体素子における異常の発生を検知するように構成したので、電力用半導体素子の耐圧が高い場合でも、速やかに短絡を検知して電力用半導体素子を保護することができる効果がある。

【 0 0 8 5 】

この発明によれば、制御手段の制御量として、電力用半導体素子の制御端子における制御電圧、あるいは、その制御端子に流れる制御電流、あるいは、その制御端子に供給される電荷量を検出するように構成したので、構成の複雑化を招くことなく、制御手段の制御量を検出することができる効果がある。

【 0 0 8 6 】

この発明によれば、制御手段がオン指令を入力した直後から、電力用半導体素子の制御端子における制御電圧が所定の電圧値に到達する前の過渡期間中、その電力用半導体素子に対する制御手段の制御量を検出するように構成したので、正常時における異常検知手段の誤動作を防止して信頼性を高めることができる効果がある。

【 0 0 8 7 】

この発明によれば、制御手段がオン指令を入力した後、一定時間が経過した時点から、電力用半導体素子の制御端子における制御電圧が所定の電圧値に到達す

る前の過渡期間中、その電力用半導体素子に対する制御手段の制御量を検出するように構成したので、正常時における異常検知手段の誤動作を防止して信頼性を高めることができる効果がある。

【 0 0 8 8 】

この発明によれば、異常検知手段が異常の発生を検知すると、電力用半導体素子を開状態に遷移させるように構成したので、電力用半導体素子の破壊を防止することができる効果がある。

【 0 0 8 9 】

この発明によれば、異常発生の検知に伴って電力用半導体素子を開状態に遷移させる場合、オフ指令の入力に伴って電力用半導体素子を開状態に遷移させる場合よりも、その電力用半導体素子を開状態に遷移させる際の遮断速度を遅くするように構成したので、大きなサージ電圧の発生を抑制して、電力用半導体素子の破壊を防止することができる効果がある。

【 0 0 9 0 】

この発明によれば、制御量検出手段により検出された制御量を監視して、電力用半導体素子における異常の発生を検知し、制御手段がオン指令を入力した後、予め設定された期間中に限り、その異常の発生の検知結果を有効にするように構成したので、電力用半導体素子の耐圧が高い場合でも、速やかに短絡を検知して電力用半導体素子を保護することができる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による電力用半導体素子の駆動回路を示す構成図である。

【図 2】 電力用半導体素子の駆動回路が適用されるハーフブリッジ回路を示す回路図である。

【図 3】 正常時におけるターンオン時のゲート電圧、コレクターエミッタ間電圧及びコレクタ流の波形を示す説明図である。

【図 4】 短絡時におけるターンオン時のゲート電圧、コレクターエミッタ間電圧及びコレクタ流の波形を示す説明図である。

【図 5】 この発明の実施の形態 1 による電力用半導体素子の駆動回路の動

作シーケンスを示す説明図である。

【図 6】 この発明の実施の形態 2 による電力用半導体素子の駆動回路を示す構成図である。

【図 7】 この発明の実施の形態 2 による電力用半導体素子の駆動回路の動作シーケンスを示す説明図である。

【図 8】 この発明の実施の形態 3 による電力用半導体素子の駆動回路を示す構成図である。

【図 9】 コンデンサが接続されていない場合のゲート電圧検出信号と、コンデンサが接続された場合のゲート電圧検出信号を示す説明図である。

【図 10】 この発明の実施の形態 4 による電力用半導体素子の駆動回路を示す構成図である。

【図 11】 この発明の実施の形態 4 による電力用半導体素子の駆動回路の動作シーケンスを示す説明図である。

【図 12】 この発明の実施の形態 5 による電力用半導体素子の駆動回路を示す構成図である。

【図 13】 この発明の実施の形態 5 による電力用半導体素子の駆動回路の動作シーケンスを示す説明図である。

【図 14】 この発明の実施の形態 6 による電力用半導体素子の駆動回路を示す構成図である。

【図 15】 この発明の実施の形態 7 による電力用半導体素子の駆動回路を示す構成図である。

【図 16】 この発明の実施の形態 8 による電力用半導体素子の駆動回路を示す構成図である。

【図 17】 正常時におけるターンオン時のゲート電圧及びゲートの波形を示す説明図である。

【図 18】 短絡時におけるターンオン時のゲート電圧及びゲートの波形を示す説明図である。

【図 19】 この発明の実施の形態 9 による電力用半導体素子の駆動回路を示す構成図である。

【図 2 0】 この発明の実施の形態 1 0 による電力用半導体素子の駆動回路を示す構成図である。

【図 2 1】 正常時におけるターンオン時のゲート電圧、ゲート電流及びゲート電流積分値（電荷量）の波形を示す説明図である。

【図 2 2】 短絡時におけるターンオン時のゲート電圧、ゲート電流及びゲート電流積分値（電荷量）の波形を示す説明図である。

【図 2 3】 この発明の実施の形態 1 1 による電力用半導体素子の駆動回路を示す構成図である。

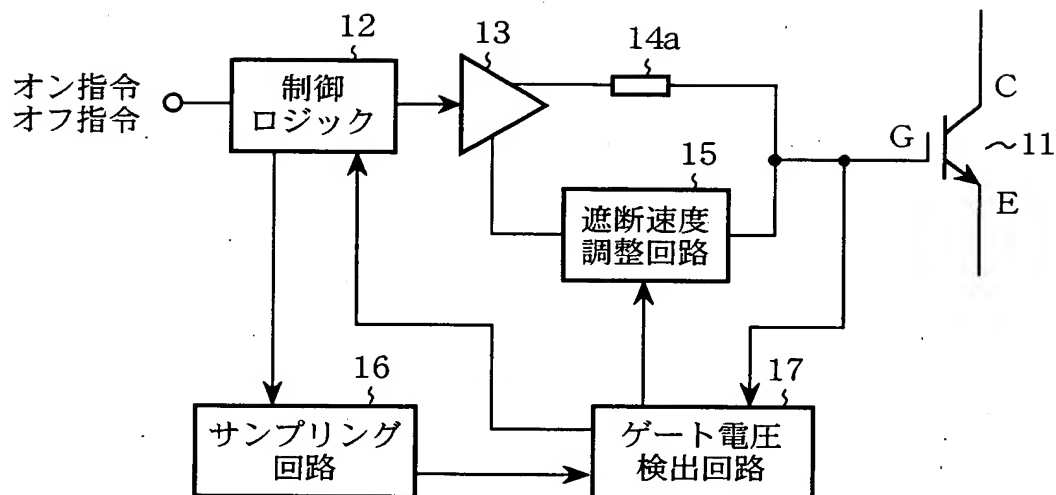
【図 2 4】 従来の電力用半導体素子の駆動回路を示す構成図である。

【符号の説明】

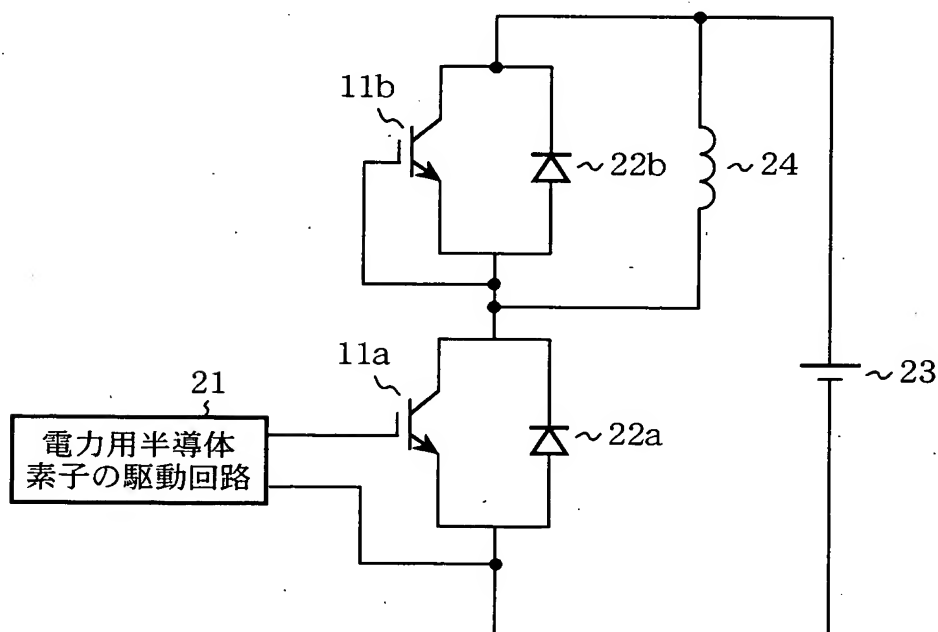
1 1 I G B T（電力用半導体素子）、1 1 a, 1 1 b I G B T、1 2 制御ロジック（制御手段）、1 3 バッファ（制御手段）、1 4 a オンゲート抵抗（制御手段）、1 5 遮断速度調整回路（制御手段）、1 6 サンプリング回路（制御量検出手段）、1 7 ゲート電圧検出回路（制御量検出手段、異常検知手段）、1 8 ゲート電流検出回路（制御量検出手段、異常検知手段）、1 9 ゲート電荷検出回路（制御量検出手段、異常検知手段）、2 1 電力用半導体素子の駆動回路、2 2 a, 2 2 b 還流ダイオード、2 3 直流電源、2 4 誘導負荷、3 1 遅延回路、3 2 インバータ、3 3 N c h - M O S F E T、3 4, 3 5 分圧抵抗、3 6, 3 7 分圧抵抗、3 8 コンパレータ、3 9 抵抗、4 0 コンデンサ、4 1 遅延回路、4 2 インバータ、4 3 N A N D 回路、4 4 A N D 回路、4 5 ツェナーダイオード、4 6 抵抗、4 7 トランジスタ、4 8 抵抗、4 9 コンデンサ、5 0 a P c h - M O S F E T、5 0 b N c h - M O S F E T、5 1 オフゲート抵抗、5 2 N c h - M O S F E T、5 3 インバータ、5 4 A N D 回路、5 5 インバータ、5 6 A N D 回路、5 7 抵抗、5 8 コンデンサ、5 9 差動増幅器、6 0, 6 1 分圧抵抗。

【書類名】 図面

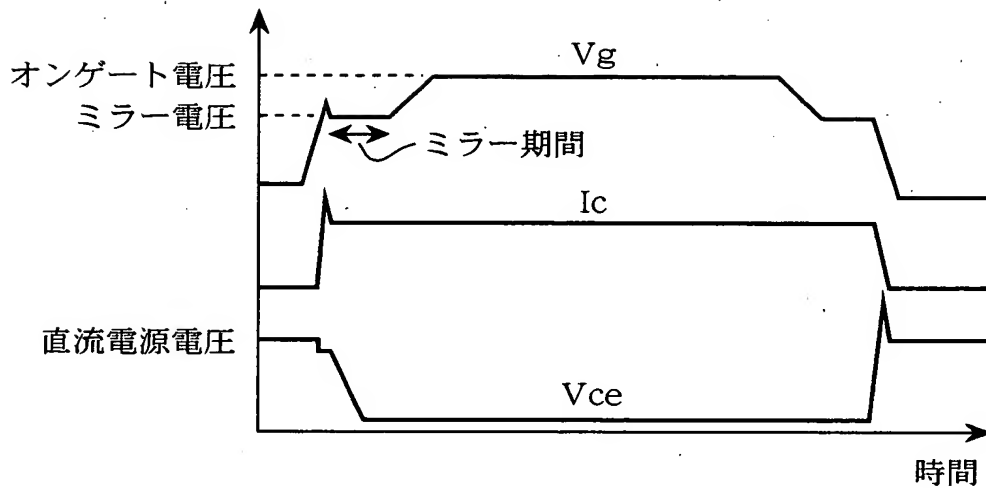
【図 1】



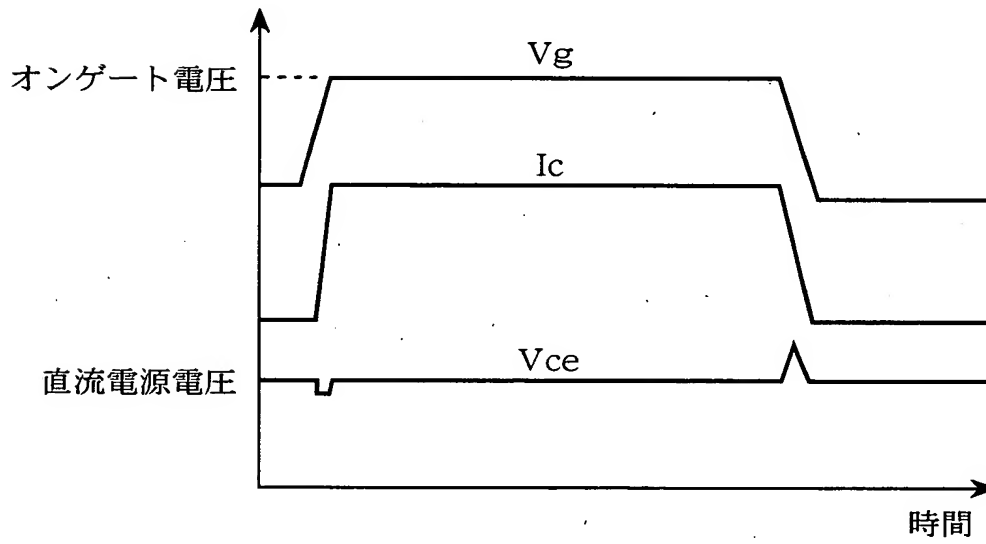
【図 2】



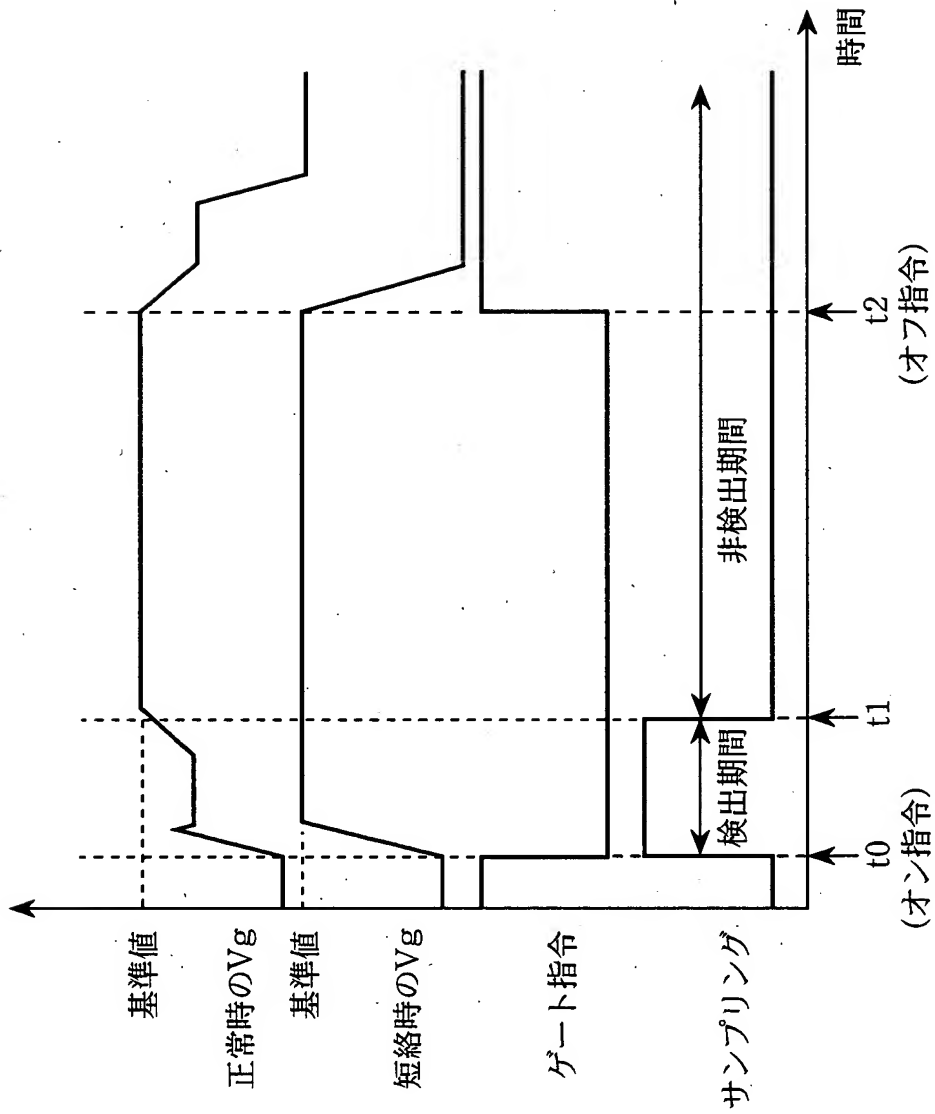
【図 3】



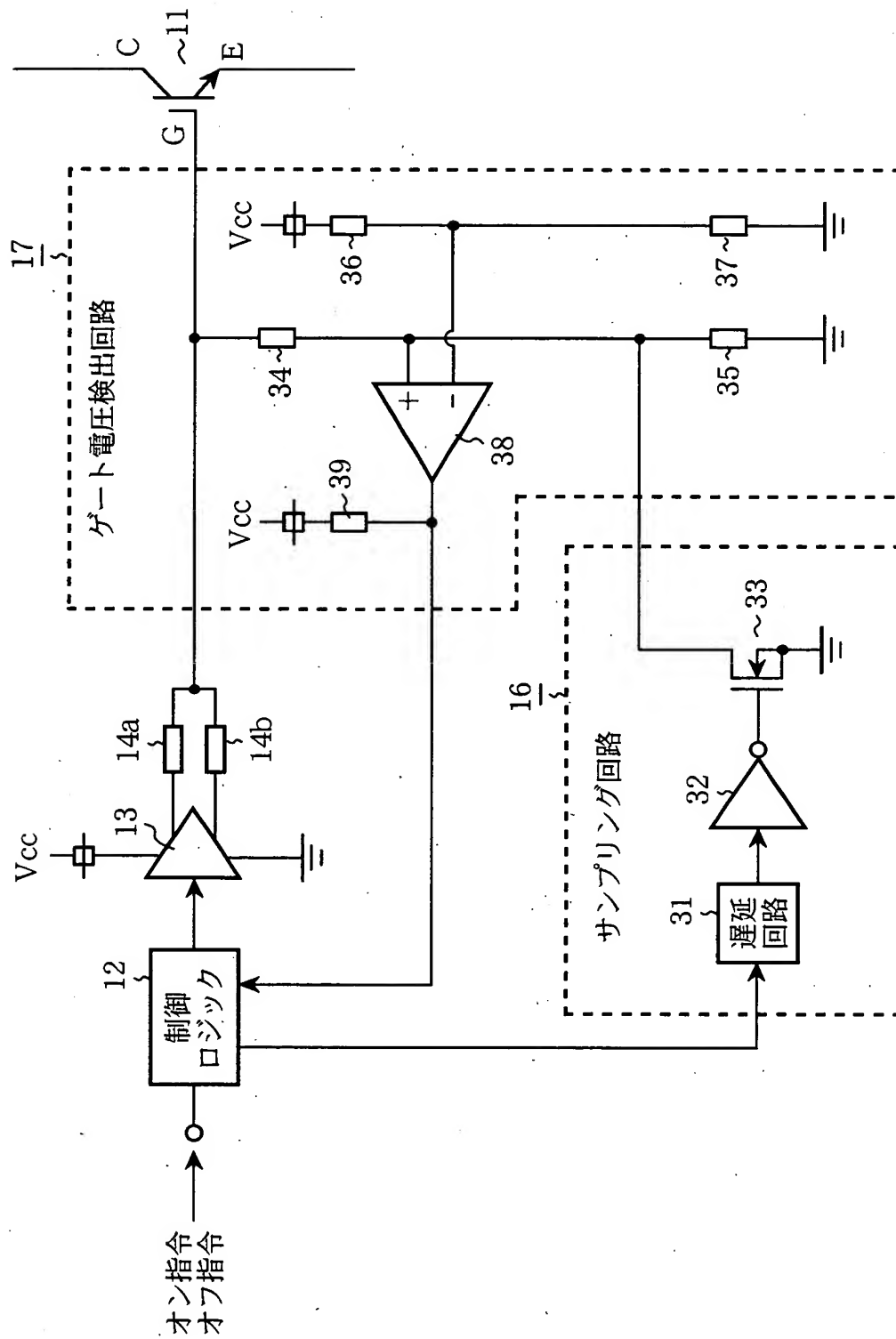
【図 4】



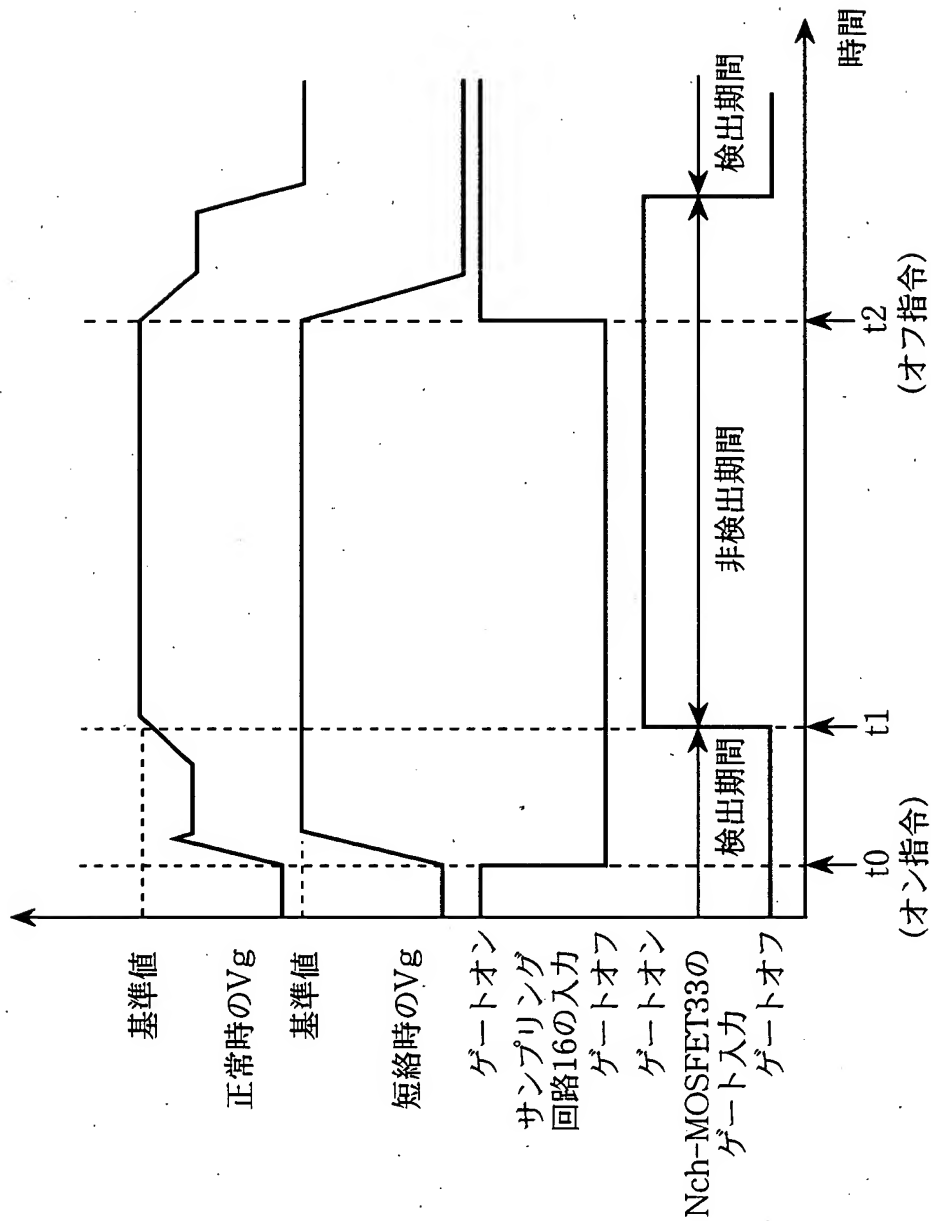
【図 5】



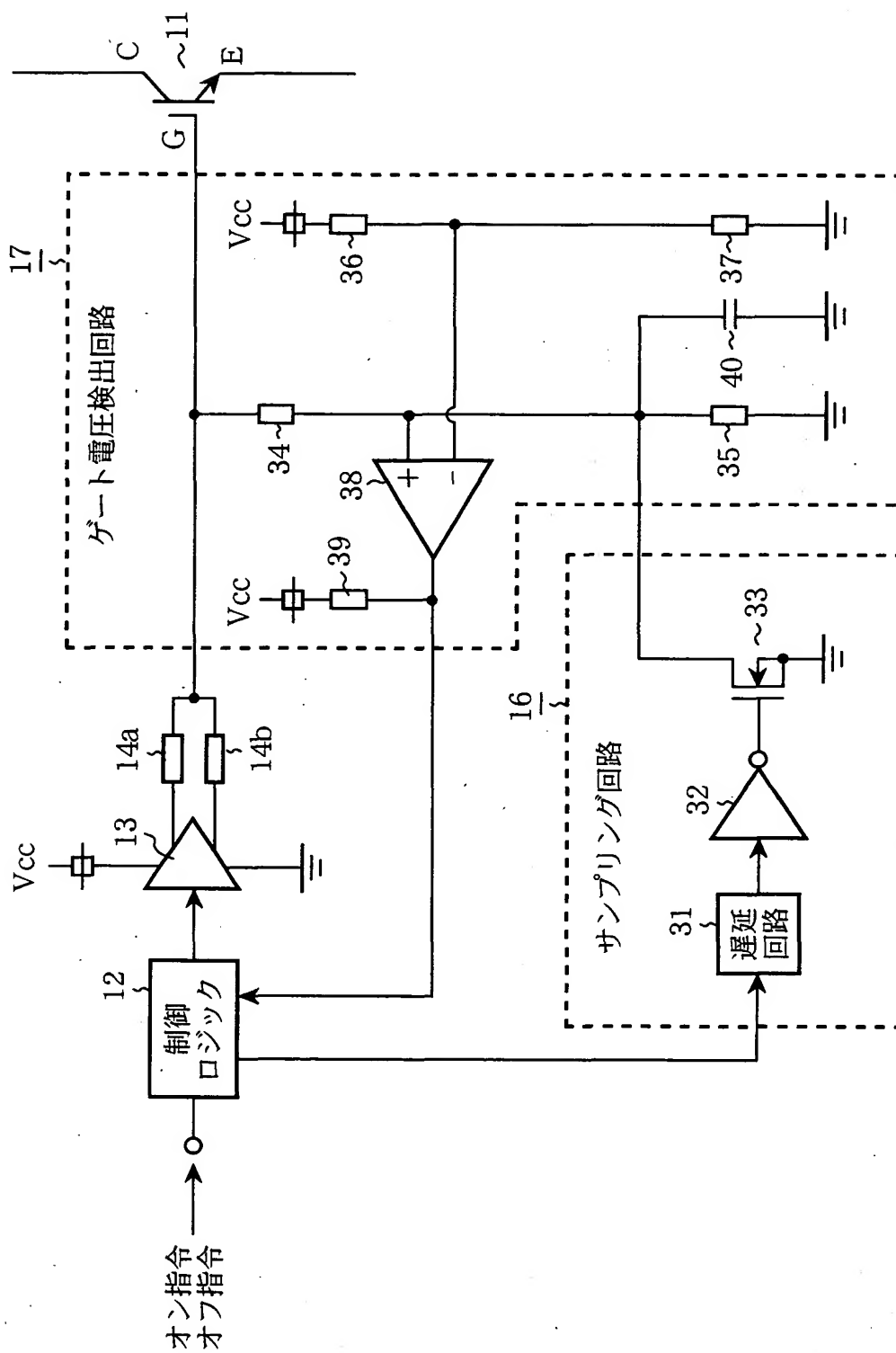
【图 6】



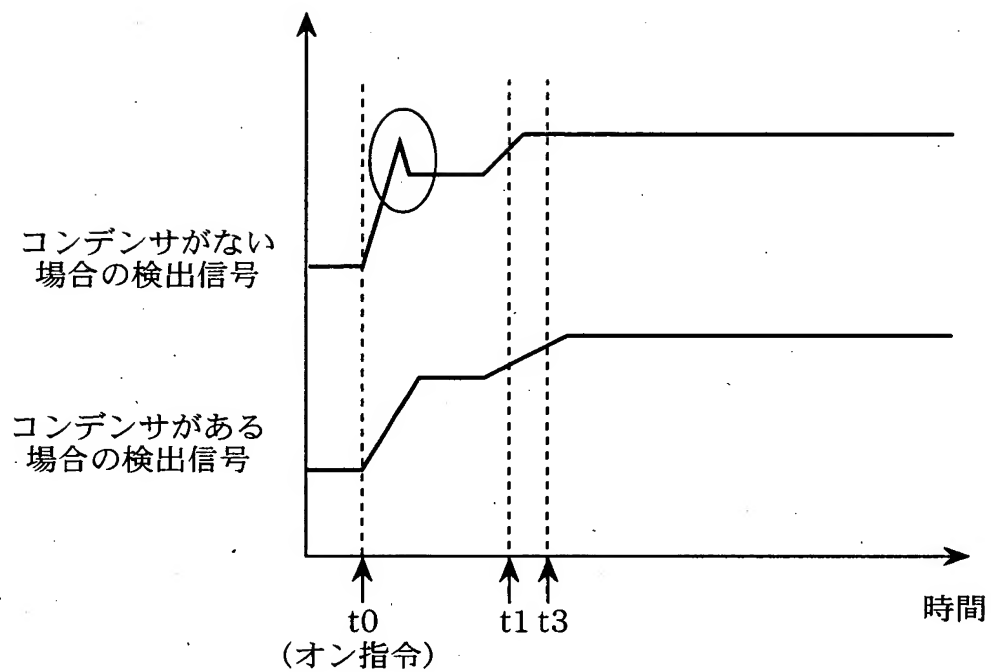
【図7】



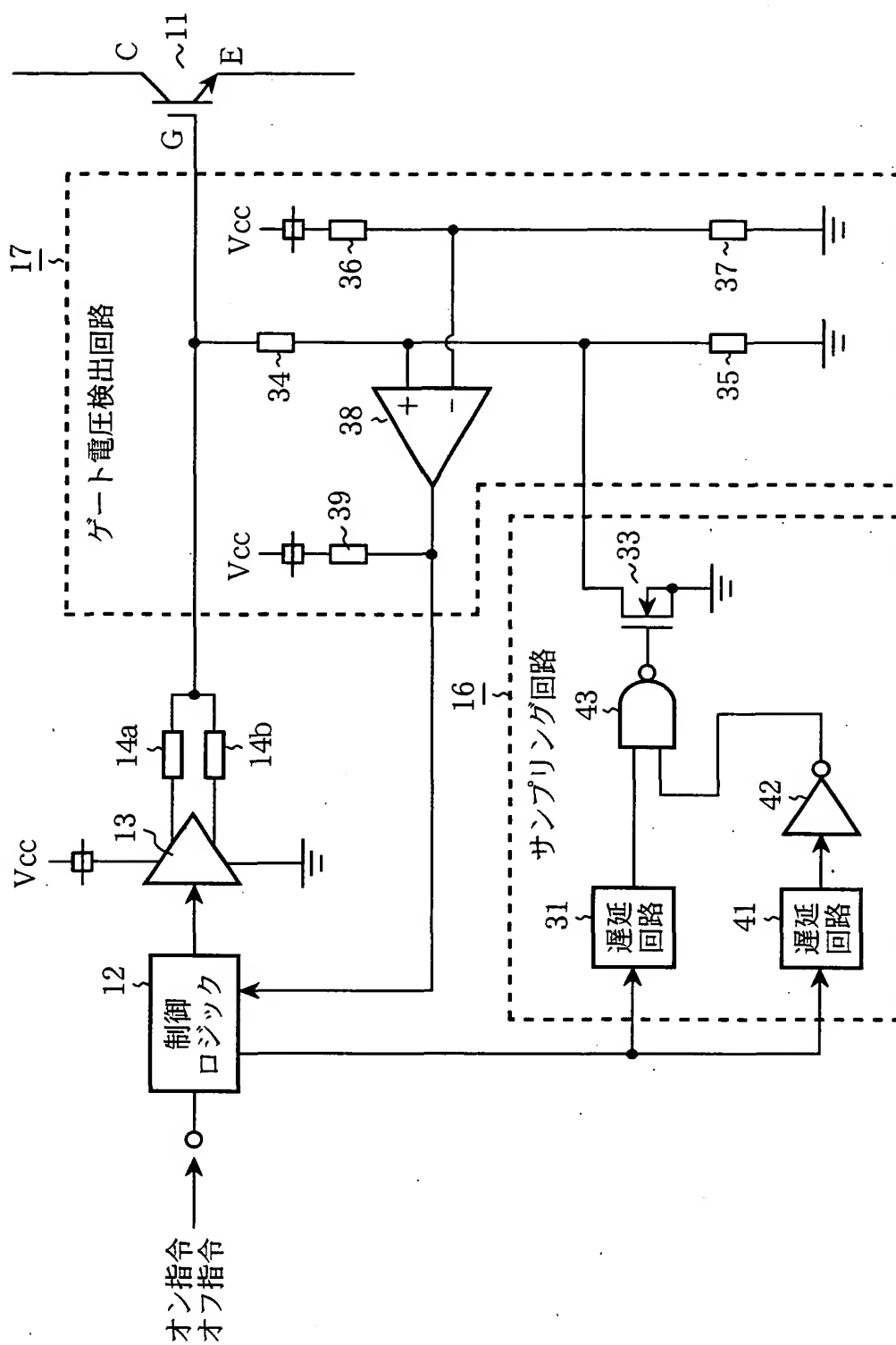
【图 8】



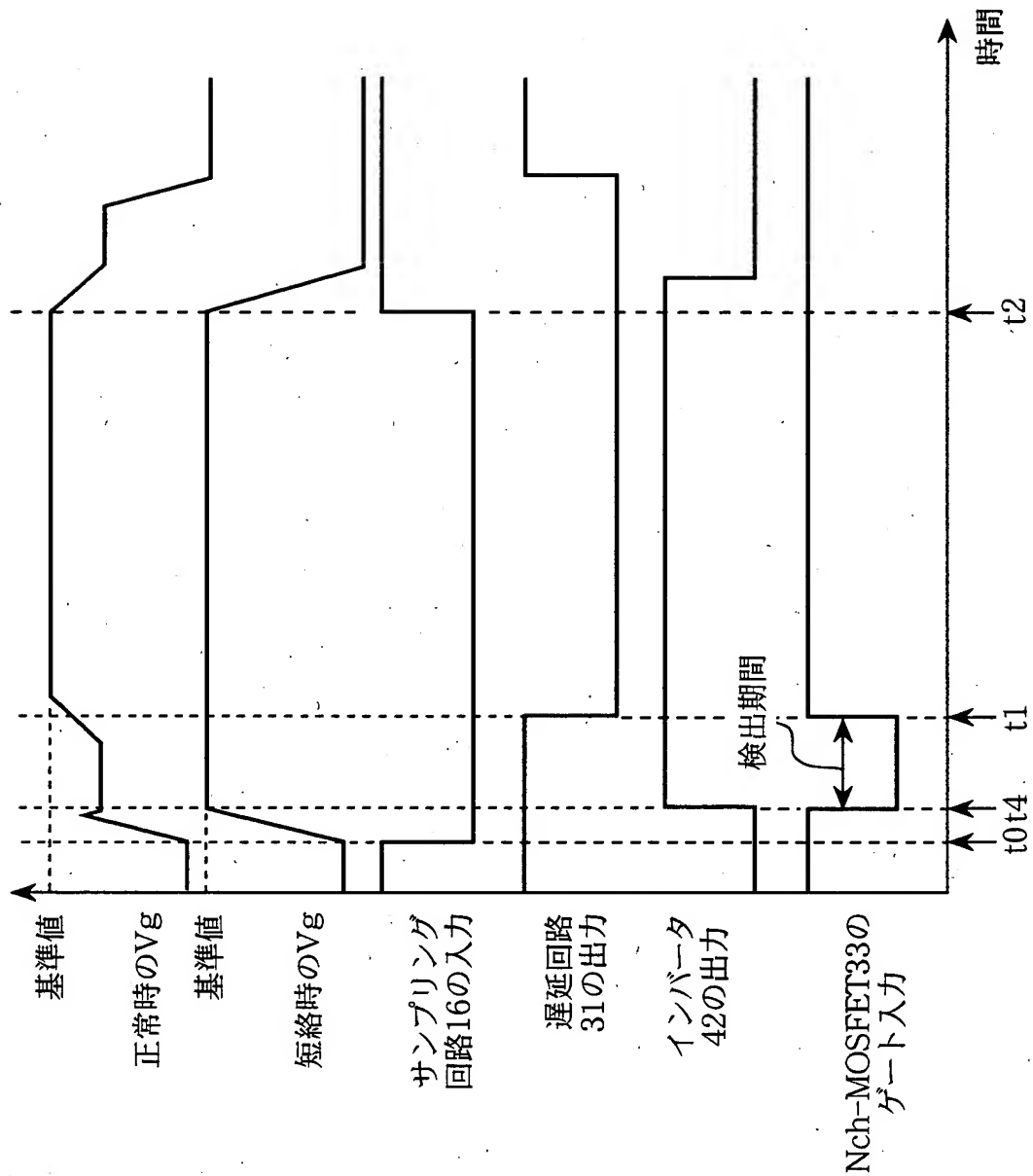
【図 9】



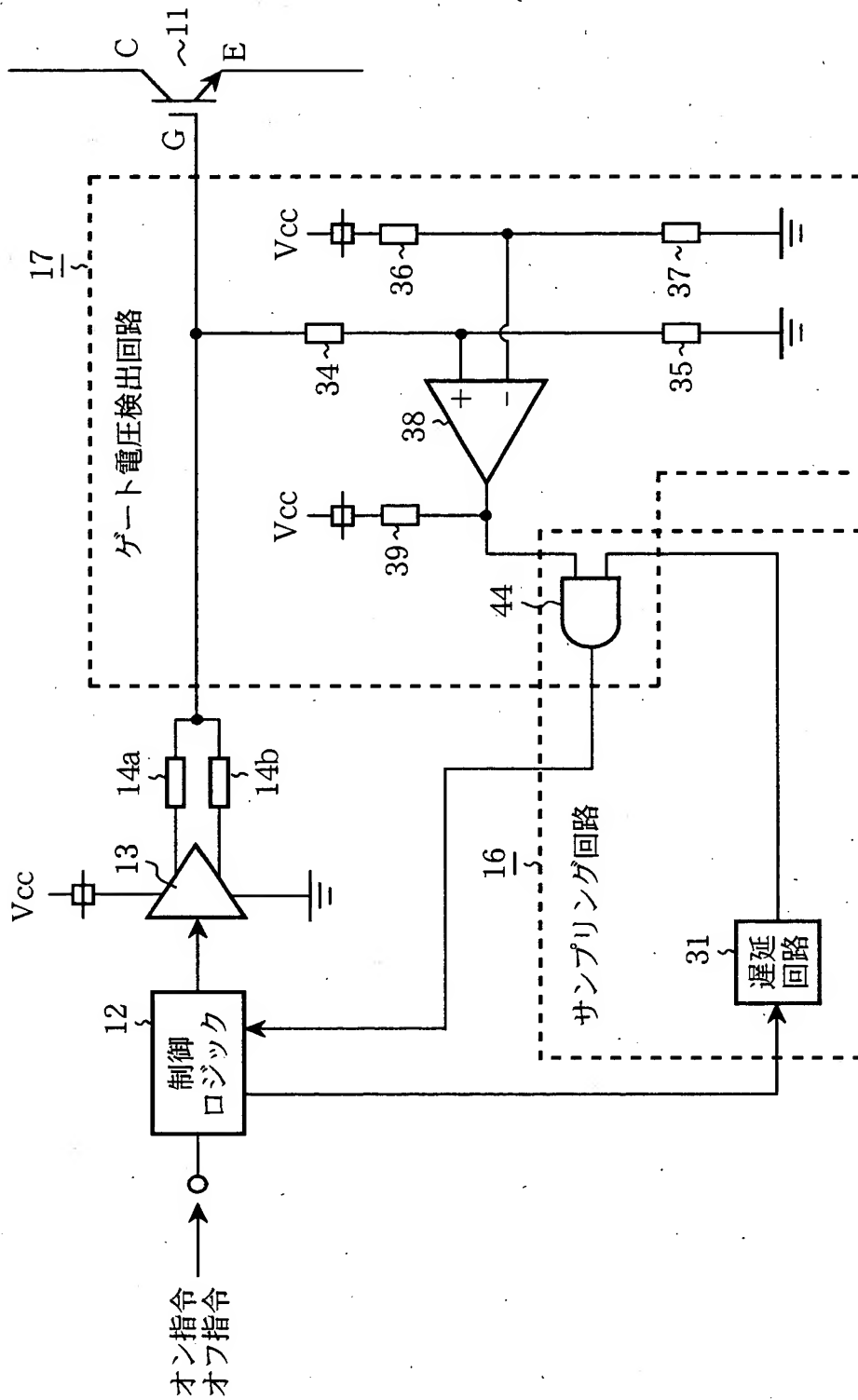
【図 10】



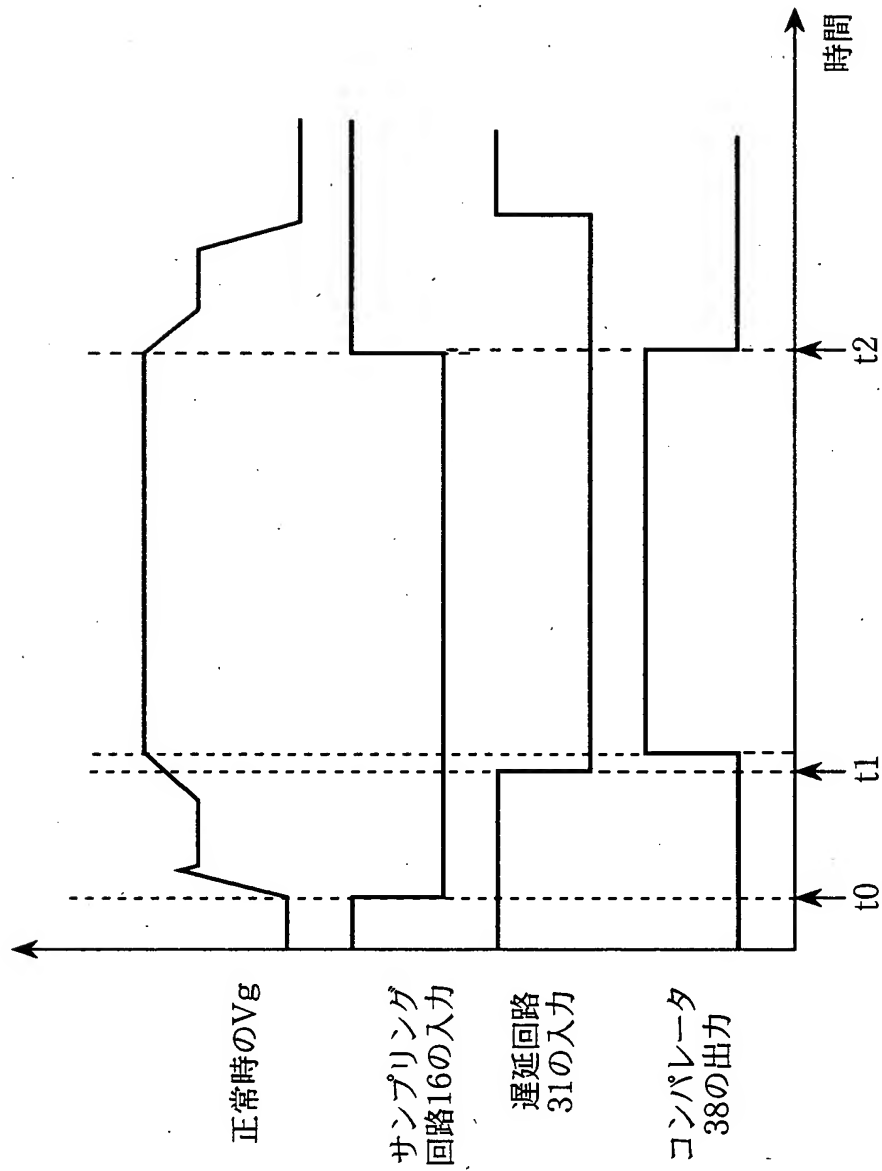
【図 11】



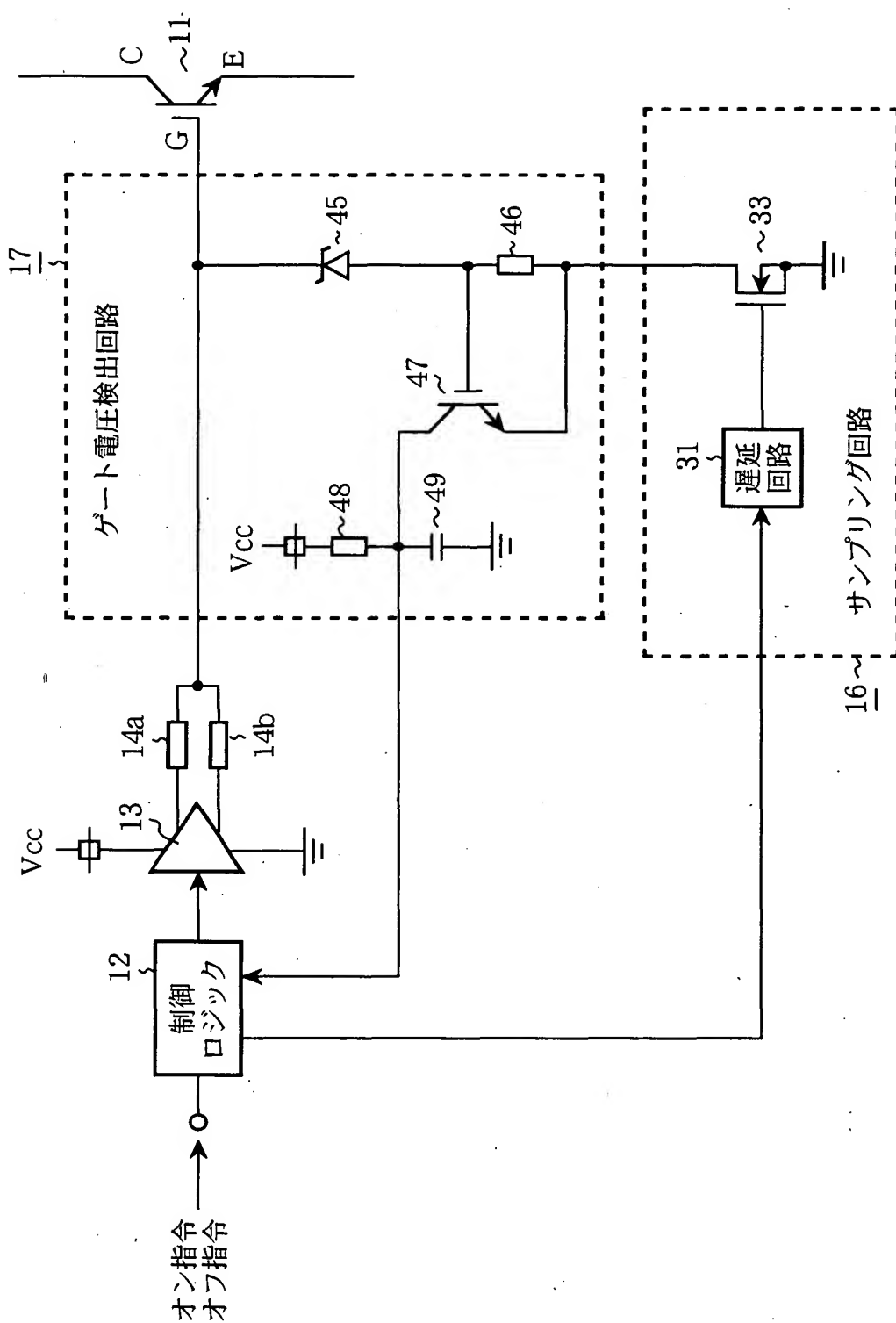
【図12】



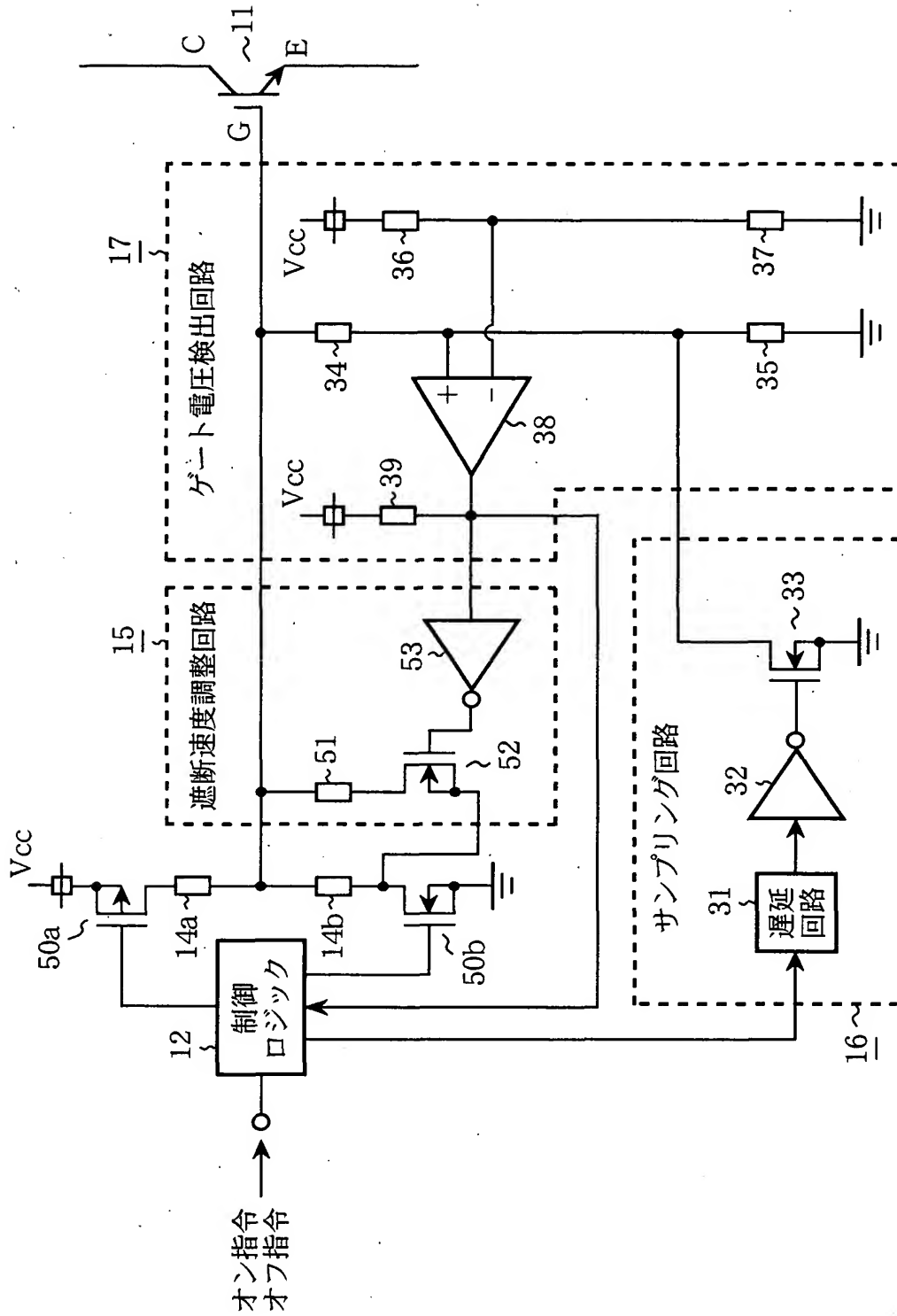
【図 1 3】



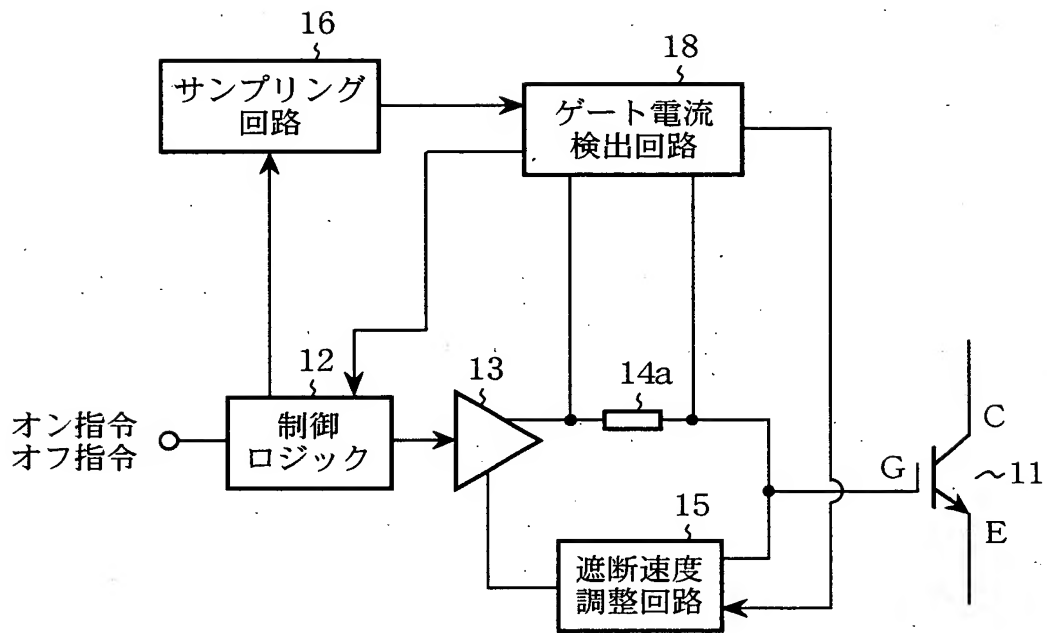
【図14】



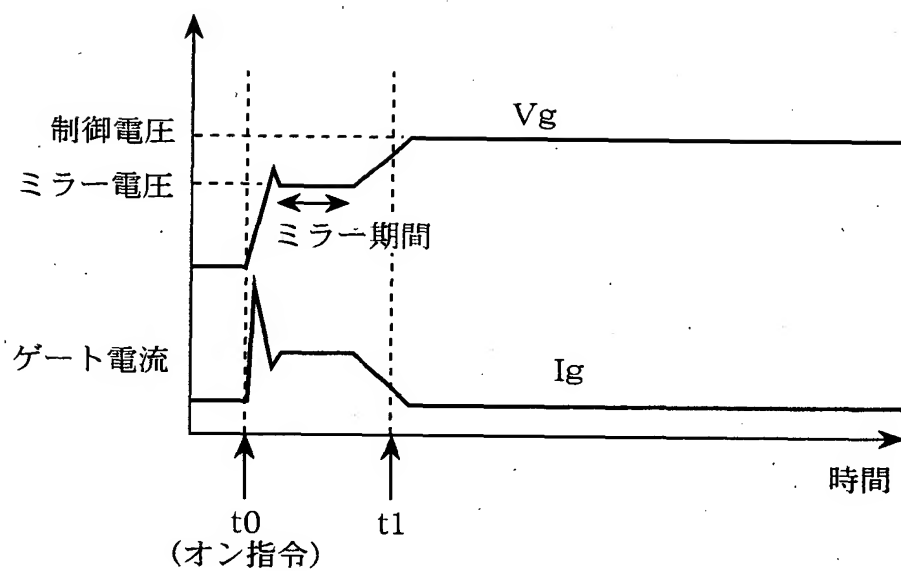
【図15】



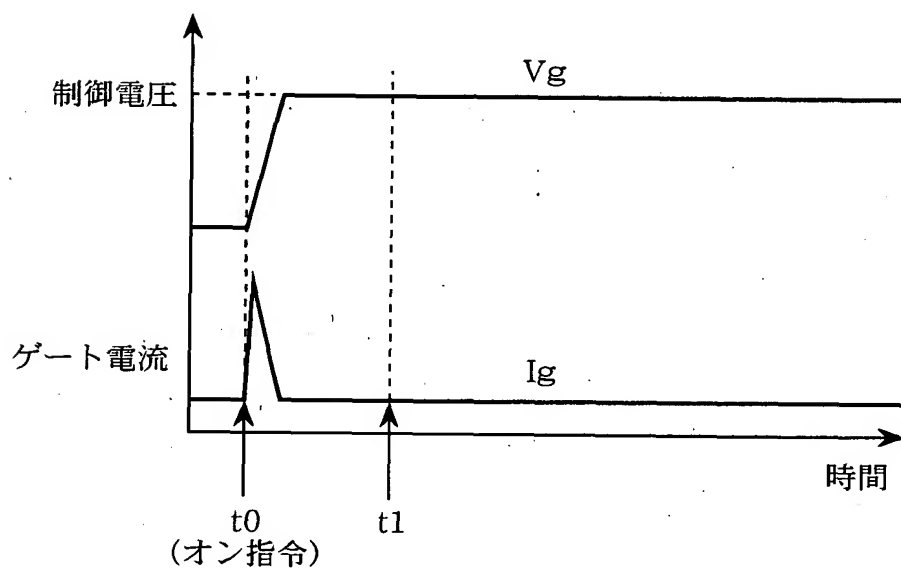
【図 1 6】



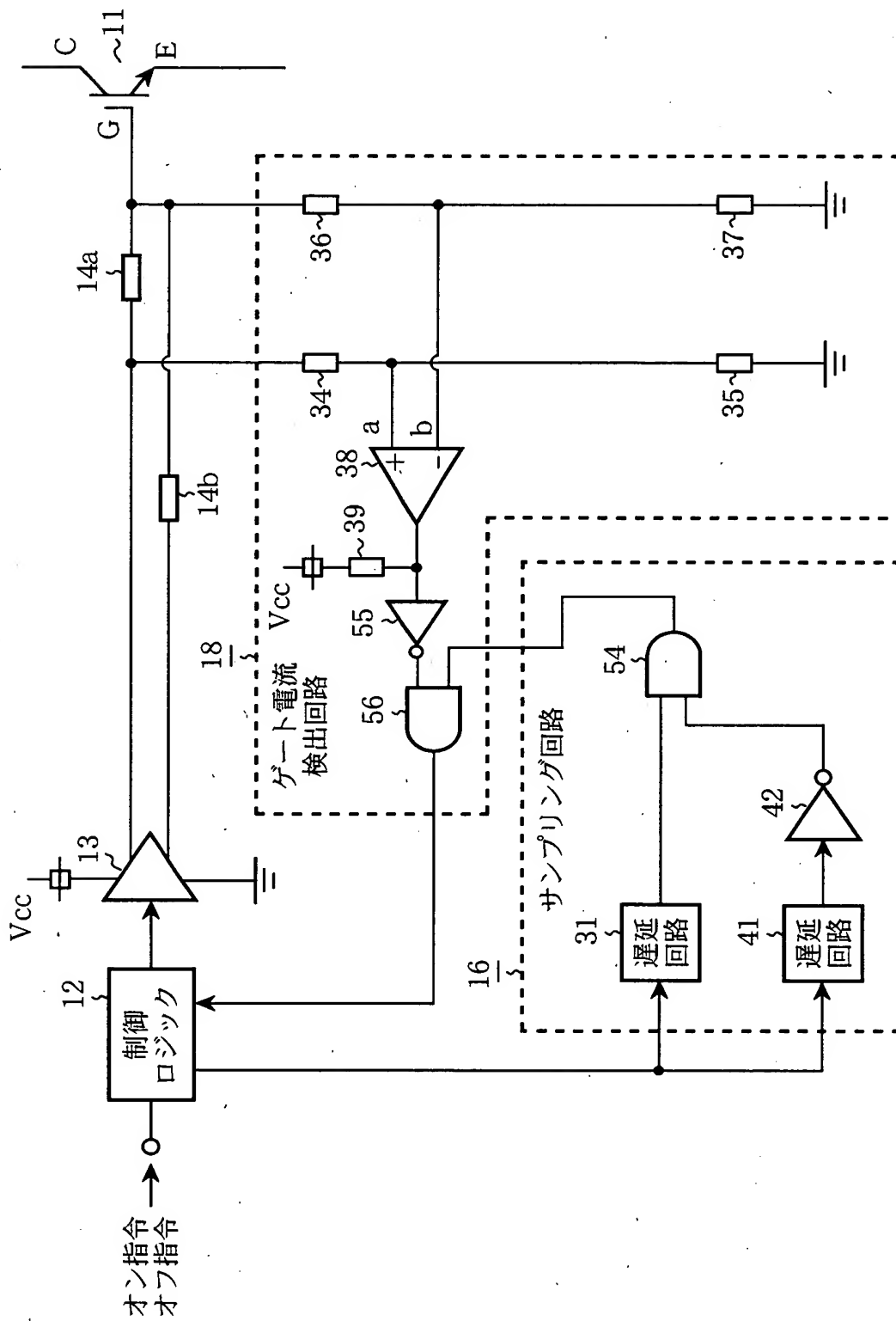
【図 17】



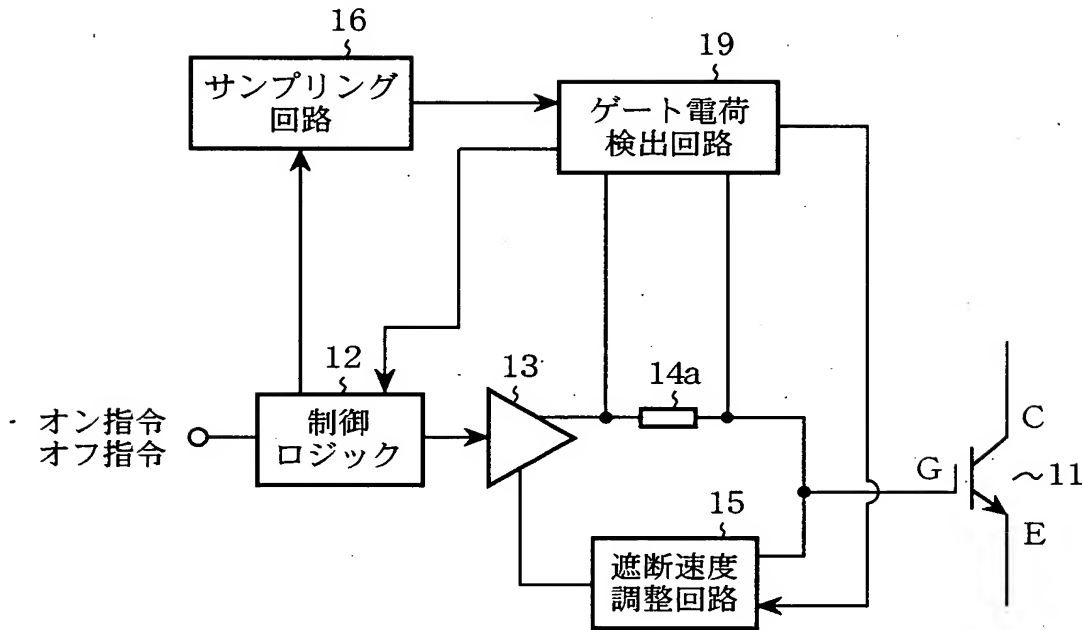
【図 18】



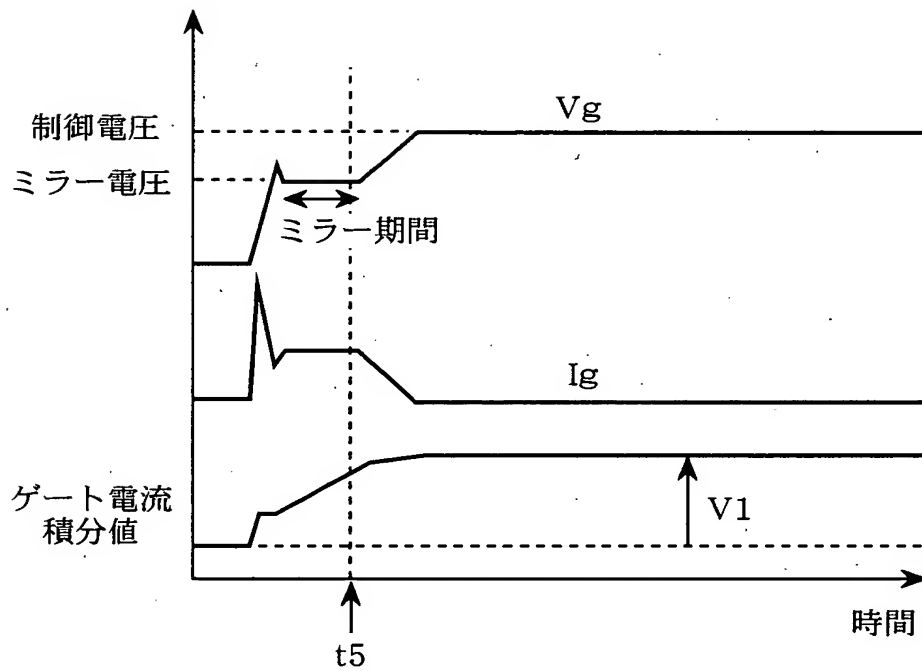
【図 19】



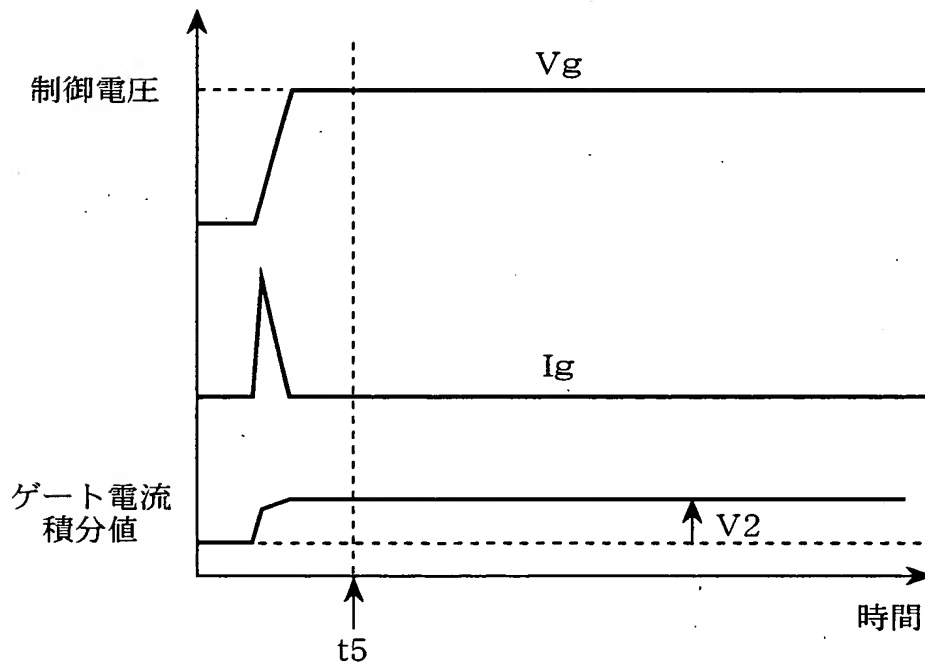
【図 2 0】



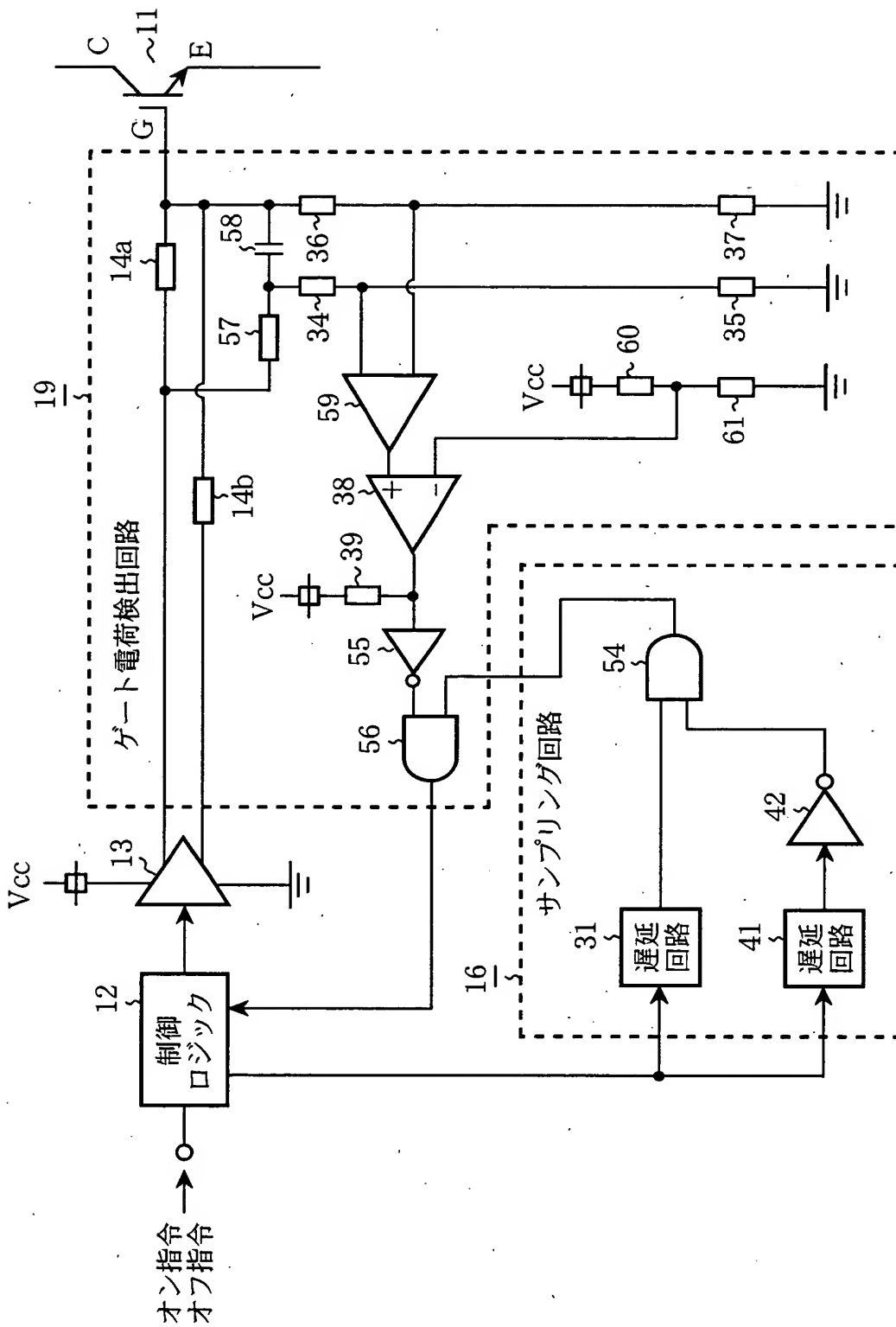
【図 2 1】



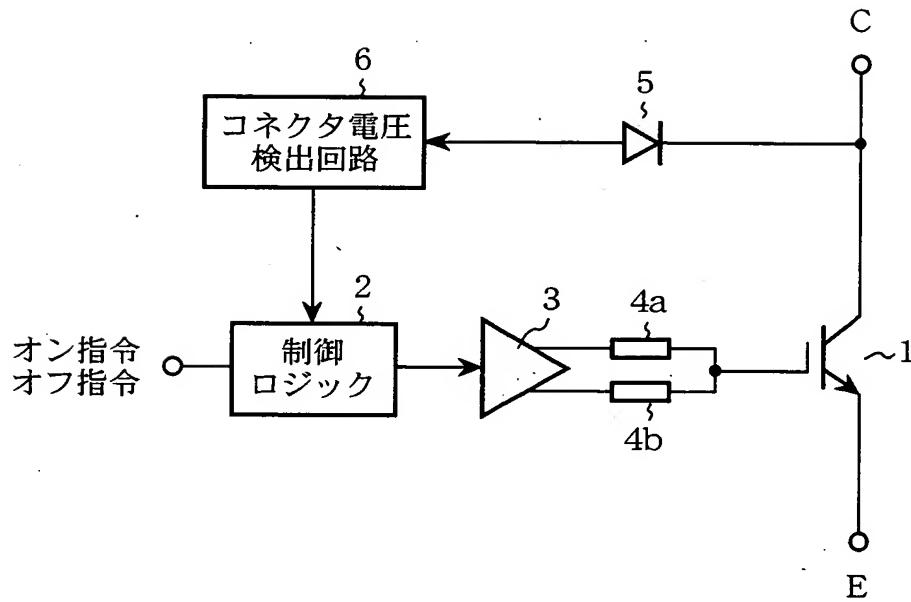
【図 2 2】



【図 23】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 耐圧の高い I G B T 1 に適用する場合、耐圧の高いダイオード 5 を多段に直列接続する必要が生じ、コスト高や信頼性の低下を招く課題があった。また、コレクタ電圧検知回路 6 による短絡検知が著しく遅れ、I G B T 1 を保護することができない場合がある課題があった。

【解決手段】 サンプリング回路 1 6 がゲート電圧 V_{ge} の検出処理を許可する期間中、そのゲート電圧 V_{ge} を検出して、そのゲート電圧 V_{ge} が基準値を超えると、I G B T 1 1 における異常の発生を認定する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社